

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC542 U.S. PTO
09/578440
05/25/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日
Date of Application:

1999年 5月28日

願番号
Application Number:

平成11年特許願第150682号

願人
Applicant(s):

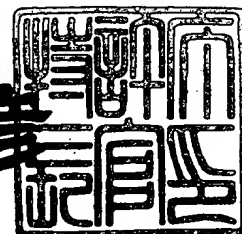
シャープ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 3月 3日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3012550

【書類名】 特許願

【整理番号】 99J01582

【提出日】 平成11年 5月28日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H03K 5/05
H03K 5/003
G09G 3/20

【発明の名称】 シフトレジスタ、および、それを用いた画像表示装置

【請求項の数】 17

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 鷲尾 一

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 久保田 靖

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 前田 和宏

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 海瀬 泰佳

【発明者】

【住所又は居所】 イギリス国 オーエックス4 4ワイビー オックスフォード、サンドフォード オン テムズ、チャーチ ロード 1 2 4

【氏名】 マイケル ジェームス ブラウンロー

【発明者】

【住所又は居所】 イギリス国 オーエックス2 8エヌエイチ オックス
フォード、カッテスロウ、ボーン クローズ22

【氏名】 グレアム アンドリュー カーンズ

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 シフトレジスタ、および、それを用いた画像表示装置

【特許請求の範囲】

【請求項 1】

クロック信号に同期して動作する複数段のフリップフロップと、

上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフタとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、

上記各フリップフロップは、少なくとも 1 つのフリップフロップからなる複数のブロックに分けられ、

上記レベルシフタは、当該各ブロック毎に設けられていると共に、

上記複数のレベルシフタのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフタの少なくとも 1 つは停止することを特徴とするシフトレジスタ。

【請求項 2】

上記各レベルシフタは、対応するブロック中に、その時点でクロック信号の入力を必要としているフリップフロップが含まれている期間にのみ動作することを特徴とする請求項 1 記載のシフトレジスタ。

【請求項 3】

上記ブロックのうちの特定ブロックは、上記フリップフロップとして、上記クロック信号に応じてセットされるセット・リセット・フリップフロップを含んでいると共に、

上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力が始動された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがセットされた後に動作を停止することを特徴とする請求項 1 または 2 記載のシフトレジスタ。

【請求項 4】

上記特定ブロック内の上記フリップフロップは、1 つであり、

上記特定レベルシフタは、上記特定ブロックへのパルス入力が始動された時点

で動作を開始し、パルス入力終了した時点で動作を停止することを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 5】

上記特定ブロック内の上記フリップフロップは、複数であり、

上記特定レベルシフタは、上記特定ブロックへパルス入力されている間、および、当該特定ブロック内の最終段を除くフリップフロップのいずれかがパルス出力している間に動作することを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 6】

上記特定ブロック内の上記フリップフロップは、複数であり、

上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいることを特徴とする請求項 3 記載のシフトレジスタ。

【請求項 7】

上記ブロックのうちの特定ブロックは、上記フリップフロップとして、D フリップフロップを含んでいると共に、

上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止することを特徴とする請求項 1 または 2 記載のシフトレジスタ。

【請求項 8】

上記特定ブロック内の上記フリップフロップは、複数であり、

上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいることを特徴とする請求項 7 記載のシフトレジスタ。

【請求項 9】

上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいることを特徴とする請求項 1、2、3、4、5、6、7 または 8 記載のシフトレジスタ。

【請求項 10】

上記レベルシフタは、上記レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフタを停止させる入力信号制御部を備えていることを特徴とする請求項 9 記載のシフトレジスタ。

【請求項 11】

上記レベルシフタは、上記レベルシフト部への電力供給を停止して、当該レベルシフタを停止させる電力供給制御部を備えていることを特徴とする請求項 9 記載のシフトレジスタ。

【請求項 12】

上記各レベルシフタは、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えていることを特徴とする請求項 1、2、3、4、5、6、7、8、9、10 または 11 記載のシフトレジスタ。

【請求項 13】

上記レベルシフタには、上記クロック信号が伝送されるクロック信号線と、上記レベルシフト部との間に配され、当該レベルシフタが停止している間、開放されるスイッチが設けられていることを特徴とする請求項 12 記載のシフトレジスタ。

【請求項 14】

マトリクス状に配された複数の画素と、

上記各画素の各行に配置された複数のデータ信号線と、

上記各画素の各列に配置された複数の走査信号線と、

予め定められた周期の第 1 クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、

予め定められた周期の第 2 クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、

上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上

記第 1 あるいは第 2 クロック信号を上記クロック信号とする請求項 1、2、3、4、5、6、7、8、9、10、11、12 または 13 記載のシフトレジスタを備えていることを特徴とする画像表示装置。

【請求項 1 5】

上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されていることを特徴とする請求項 1 4 記載の画像表示装置。

【請求項 1 6】

上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいることを特徴とする請求項 1 4 または 1 5 記載の画像表示装置。

【請求項 1 7】

上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600 度以下のプロセス温度で製造されたスイッチング素子を含んでいることを特徴とする請求項 1 4、1 5 または 1 6 記載の画像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば、画像表示装置の駆動回路などに好適に使用され、クロック信号の振幅が駆動電圧よりも低い場合でも入力パルスをしフト可能なシフトレジスタ、および、それを用いた画像表示装置に関するものである。

【0 0 0 2】

【従来の技術】

例えば、画像表示装置のデータ信号線駆動回路や走査信号線駆動回路では、各データ信号を映像信号からサンプリングする際のタイミングを取ったり、各走査信号線へ与える走査信号を作成したりするために、シフトレジスタが広く使用されている。

【0 0 0 3】

一方、電子回路の消費電力は、周波数と、負荷容量と、電圧の 2 乗とに比例して大きくなる。したがって、例えば、画像表示装置への映像信号を生成する回路

など、画像表示装置に接続される回路、あるいは、画像表示装置では、消費電力を低減するため、駆動電圧が益々低く設定される傾向にある。

【0004】

例えば、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路では、基板間あるいは同一基板内においても、しきい値電圧の相違が、例えば、数[V]程度に達することもあるため、駆動電圧の低減が十分に進んでいるとは言いが、例えば、上記映像信号の生成回路のように、単結晶シリコントランジスタを用いた回路では、駆動電圧は、例えば、5[V]や3.3[V]、あるいは、それ以下の値に設定されていることが多い。したがって、シフトレジスタの駆動電圧よりも低いクロック信号が印加される場合、シフトレジスタには、クロック信号を昇圧するレベルシフタが設けられる。

【0005】

具体的には、例えば、図39に示すように、上記従来のシフトレジスタ101へ、例えば、5[V]程度の振幅のクロック信号CKが与えられると、レベルシフタ103は、シフトレジスタ101の駆動電圧(15[V])まで、クロック信号CKを昇圧する。昇圧後のクロック信号CKは、各フリップフロップ $F_1 \sim F_n$ へ印加され、シフトレジスタ部102は、当該クロック信号CKに同期して開始信号SPをシフトする。

【0006】

【発明が解決しようとする課題】

しかしながら、上記従来のシフトレジスタ101では、クロック信号CKをレベルシフトした後、各フリップフロップ $F_1 \sim F_n$ へ伝送しているため、フリップフロップ $F_1 \sim F_n$ の両端間の距離が離れる程、伝送距離が長くなり、消費電力が増大するという問題を生ずる。

【0007】

具体的には、伝送距離が長くなるに従って、伝送用の信号線の容量が大きくなるので、レベルシフタ103に、より大きな駆動能力が必要となり、消費電力が増大する。さらに、多結晶シリコン薄膜トランジスタを用いて、レベルシフタ1

03を含む上記駆動回路が形成される場合のように、レベルシフタ103の駆動能力が十分ではない場合には、歪みのない波形を伝送するため、図中、破線で示すように、レベルシフタ103と各フリップフロップ $F_1 \sim F_n$ との間にバッファ104を設ける必要があるので、さらに多くの消費電力が必要になる。

【0008】

近年では、より表示画面が広く、かつ、高解像な画像表示装置が要求されているため、シフトレジスタ部102の段数が益々増加する傾向にある。したがって、フリップフロップ $F_1 \sim F_n$ の両端間の距離が増大しても消費電力の少ないシフトレジスタ、および、画像表示装置が強く求められている。

【0009】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、クロック信号の振幅が駆動電圧よりも低い場合でも正常に動作し、かつ、消費電力の少ないシフトレジスタ、および、それを用いた画像表示装置を実現することにある。

【0010】

【課題を解決するための手段】

本発明に係るシフトレジスタは、上記課題を解決するために、クロック信号に同期して動作する複数段のフリップフロップと、上記フリップフロップの駆動電圧よりも振幅が小さなクロック信号を昇圧して上記各フリップフロップへ印加するレベルシフタとを有し、上記クロック信号に同期して入力パルスを伝送するシフトレジスタにおいて、以下の手段を講じたことを特徴としている。

【0011】

すなわち、上記各フリップフロップは、少なくとも1つのフリップフロップからなる複数のブロックに分けられ、上記レベルシフタは、当該各ブロック毎に設けられていると共に、上記複数のレベルシフタのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフタの少なくとも1つは停止する。

【0012】

なお、各ブロックが入力パルスの伝送にクロック信号を必要とするか否かは、シフトレジスタを構成するフリップフロップによって決定される。例えば、上記

フリップフロップとして、クロック信号に応じてセットされるセット・リセット・フリップフロップが使用される場合、ブロックは、当該ブロックへパルスが入力されてから、最終段のフリップフロップがセットされるまでの間、クロック信号を必要とし、フリップフロップがDフリップフロップの場合は、当該ブロックへパルスが入力されてから、最終段のフリップフロップがパルス出力を終了するまでの間、クロック信号を必要とする。なお、いずれの場合であっても、各ブロックに含まれるフリップフロップが1つで、各フリップフロップ毎にレベルシフタが設けられていてもよいし、複数のフリップフロップ毎にレベルシフタが設けられていてもよい。

【0013】

上記構成において、クロック信号は、複数のレベルシフタのいずれかで昇圧された後、当該レベルシフタに対応するブロック内のフリップフロップへ印加され、入力パルスは、昇圧後のクロック信号に同期して、順次伝送される。さらに、各レベルシフタのうち、クロック信号を出力する必要のないレベルシフタの少なくとも1つは、動作を停止する。

【0014】

ここで、クロック信号を必要としないブロックとしては、例えば、入力パルスを伝送していないブロックが挙げられる。また、入力パルスを伝送しているブロックであっても、例えば、フリップフロップがクロック信号に応じてセットされ、より後段のフリップフロップの出力に応じてリセットされるセット・リセット・フリップフロップの場合には、最終段のフリップフロップがセットされた後の期間は、クロック信号を必要としない。

【0015】

上記構成では、シフトレジスタに複数のレベルシフタが設けられているので、唯一のレベルシフタが全てのフリップフロップへレベルシフト後のクロック信号を印加する場合に比べて、レベルシフタからフリップフロップへの距離を短縮できる。この結果、レベルシフト後のクロック信号の伝送距離を短縮できるので、レベルシフタの負荷容量を削減でき、レベルシフタに必要な駆動能力を抑制できる。これにより、例えば、レベルシフタの駆動能力が小さく、かつ、フリップフ

ロップの両端間の距離が長い場合であっても、レベルシフタからフリップフロップまでの間にバッファを設ける必要がなくなり、シフトレジスタの消費電力を削減できる。加えて、複数のレベルシフタのうち、少なくとも1つは、動作を停止しているので、全てのレベルシフタが同時に動作する場合に比べて、シフトレジスタの消費電力を削減できる。これらの結果、低電圧のクロック信号入力で動作可能で、かつ、低消費電力なシフトレジスタを実現できる。

【0016】

さらに、上記構成のシフトレジスタでは、上記各レベルシフタは、対応するブロック中に、その時点でクロック信号の入力を必要としているフリップフロップが含まれている期間にのみ動作する方が好ましい。

【0017】

当該構成によれば、入力パルスの伝送に必要なレベルシフタのみが動作するので、他のレベルシフタが動作する場合に比べて、シフトレジスタの消費電力を大幅に削減できる。

【0018】

また、上記各構成のシフトレジスタにおいて、上記ブロックのうちの特定ブロックは、上記フリップフロップとして、上記クロック信号に応じてセットされるセット・リセット・フリップフロップを含んでおり、上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがセットされた後に動作を停止してもよい。

【0019】

当該構成によれば、特定レベルシフタは、特定ブロックのセット・リセット・フリップフロップが動作する際に必要な期間に、レベルシフト後のクロック信号を供給し、セット・リセット・フリップフロップへのクロック信号の入力が不要な場合には、動作を停止する。この結果、上記フリップフロップとして、セット・リセット・フリップフロップを含み、Dフリップフロップの場合よりも高速で動作可能なレベルシフタにおいて、消費電力を削減できる。

【0020】

さらに、上記構成のシフトレジスタにおいて、上記特定ブロック内の上記フリップフロップ（セット・リセット・フリップフロップ）が1つの場合には、上記特定レベルシフタは、上記特定ブロックへのパルス入力開始された時点で動作を開始し、パルス入力終了した時点で動作を停止してもよい。

【0021】

当該構成によれば、特定ブロックが最前段の場合は、入力パルスを、それ以外の場合は、前段のフリップフロップの出力を用いて、特定レベルシフタの動作／停止を制御できる。この結果、特定レベルシフタが動作する期間を判定する回路を他に設ける必要がなく、シフトレジスタの構成を簡略化できる。

【0022】

一方、上記構成のシフトレジスタにおいて、特定ブロック内の上記フリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへパルス入力されている間、および、当該特定ブロック内の最終段を除くフリップフロップのいずれかがパルス出力している間に動作することができる。

【0023】

当該構成によれば、特定ブロックへの入力および特定ブロック内のフリップフロップの出力に基づいて、特定レベルシフタの動作／停止を制御できる。なお、動作期間は、例えば、上記各パルス信号を論理和するなどすれば算出でき、例えば、クロック数を数えるカウンタなどを用いて、フリップフロップの入出力を使用せずに動作期間を算出する場合に比べて、簡単な回路で動作期間を算出できる。この結果、簡単で動作速度の速いシフトレジスタを実現できる。

【0024】

また、上記構成のシフトレジスタにおいて、上記特定ブロック内の上記フリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいてもよい。

【0025】

当該構成において、特定ブロックへ信号が入力されると、上記ラッチ回路は、

出力を変化させ、特定レベルシフタは、ラッチ回路の出力に基づいて動作を開始する。その後、ラッチ回路は、最終段のフリップフロップが信号を出力するまで、出力を保持する。これにより、特定ブロックを信号が伝送されている間、特定レベルシフタは、動作しつづける。さらに、最終段のフリップフロップが信号を出力すると、上記ラッチ回路は、出力を変化させ、特定レベルシフタは、動作を停止する。なお、シフトレジスタは、信号を伝送するので、特定レベルシフタの動作／停止のトリガとなる信号、すなわち、特定ブロックへの入力信号と、最終段のフリップフロップの出力信号とを監視していれば、特定レベルシフタの動作期間を正しく識別できる。

【 0 0 2 6 】

上記構成によれば、特定レベルシフタの動作／停止のトリガとなる 2 つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作／停止が制御される。したがって、各フリップフロップの出力信号に基づいて動作／停止を制御する場合とは異なり、特定ブロック内のフリップフロップ数が増加しても、動作期間を判定する回路の回路構成が複雑にならない。この結果、フリップフロップ数が多い場合でも簡単な回路構成のシフトレジスタを実現できる。

【 0 0 2 7 】

一方、本発明は、フリップフロップとしてセット・リセット・フリップフロップを含む場合に限らず、上記ブロックのうちの特定ブロックが上記フリップフロップとして D フリップフロップを含む場合にも適用できる。この場合、上記特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力が始まった時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止する方が好ましい。

【 0 0 2 8 】

当該構成によれば、特定ブロックは、フリップフロップとして、D フリップフロップを含んでいるので、セット・リセット・フリップフロップの場合とは異なり、入力パルスのパルス幅（クロック数）が変化する場合であっても、何ら支障なく、入力パルスを伝送できる。また、上記構成によれば、特定レベルシフタは、特定ブロックの D フリップフロップが動作する際に必要な期間に、レベルシフ

ト後のクロック信号を供給し、Dフリップフロップへのクロック信号の入力が不要な場合には、動作を停止する。この結果、互いに異なるパルス幅の入力パルスを伝送可能で、かつ、消費電力の少ないシフトレジスタを実現できる。

【0029】

加えて、特定ブロックへパルス入力されてから、最終段のフリップフロップがパルス出力するまでの期間は、例えば、特定ブロックへ入力されるパルス信号と、各段のフリップフロップの出力信号との論理和を算出したり、トリガとなる信号をラッチするなどすれば算出できる。したがって、この場合、フリップフロップの入出力とは別に動作期間を算出するときよりも、シフトレジスタの回路構成を簡略化できる。

【0030】

また、上記構成のシフトレジスタにおいて、上記特定ブロック内の上記フリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいてもよい。

【0031】

上記構成によれば、上述のセット・リセット・フリップフロップの場合と同様に、特定レベルシフタの動作／停止のトリガとなる2つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作／停止が制御される。したがって、各フリップフロップの出力信号に基づいて動作／停止を制御する場合とは異なり、特定ブロック内のフリップフロップ数が増加しても、動作期間を判定する回路の回路構成が複雑にならない。この結果、フリップフロップ数が多い場合でもシフトレジスタの回路構成を簡略化できる。

【0032】

さらに、上記構成のシフトレジスタにおいて、上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいてもよい。

【0033】

当該構成によれば、レベルシフタが動作している間、レベルシフタの入力スイ

ツチング素子は、常時導通している。したがって、クロック信号のレベルによって入力スイッチング素子を導通／遮断する電圧駆動型のレベルシフタとは異なり、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合であっても、何ら支障なく、クロック信号をレベルシフトできる。

【 0 0 3 4 】

さらに、電流駆動型のレベルシフタは、動作中、入力スイッチング素子が導通しているため、電圧駆動型のレベルシフタよりも消費電力が大きい。複数のレベルシフタのうち、少なくとも1つが動作を停止している。これにより、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、全てのレベルシフタが同時に動作する場合よりも消費電力が少ないシフトレジスタを実現できる。

【 0 0 3 5 】

また、上記構成のシフトレジスタにおいて、上記レベルシフト部への入力信号として、上記入力スイッチング素子が遮断するレベルの信号を与えることによって、当該レベルシフトを停止させる入力信号制御部が設けられていてもよい。

【 0 0 3 6 】

当該構成によれば、一例として、入力スイッチング素子がMOSトランジスタの場合を例にして説明すると、例えば、入力信号がゲートへ印加される場合は、ドレイン－ソース間が遮断されるレベルの入力信号をゲートへ印加すれば、入力スイッチング素子が遮断される。また、入力信号がソースへ印加される場合には、例えば、ドレインと略同じ入力信号を印加するなどして、入力スイッチング素子を遮断する。

【 0 0 3 7 】

いずれの構成であっても、入力信号制御部が入力信号のレベルを制御して、入力スイッチング素子を遮断すれば、電流駆動型のレベルシフタは、動作を停止する。これにより、入力信号制御部は、レベルシフトを停止できると共に、停止中は、動作中に入力スイッチング素子へ流れる電流の分だけ、消費電力を低減できる。

【 0 0 3 8 】

一方、上記各構成のシフトレジスタは、上記レベルシフト部への電力供給を停止して、当該レベルシフト部を停止させる電力供給制御部を備えていてもよい。

【 0 0 3 9 】

当該構成によれば、電力供給制御部は、各レベルシフト部への電力供給を停止して、当該レベルシフト部を停止させる。これにより、電力供給制御部は、レベルシフト部を停止できると共に、動作停止中は、動作中にレベルシフト部で消費する電力の分だけ、消費電力を低減できる。

【 0 0 4 0 】

ところで、レベルシフト部が動作を停止している間、レベルシフト部の出力電圧が不定となると、当該レベルシフト部に接続されているフリップフロップの動作が不安定になる虞れがある。

【 0 0 4 1 】

したがって、上記各構成のシフトレジスタにおいて、上記レベルシフト部は、停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている方が好ましい。

【 0 0 4 2 】

当該構成によれば、レベルシフト部が停止している間、当該レベルシフト部の出力電圧は、出力安定手段によって所定の値に保たれる。この結果、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定したシフトレジスタを実現できる。

【 0 0 4 3 】

さらに、上記各構成のシフトレジスタには、上記クロック信号が伝送されるクロック信号線と、上記レベルシフト部との間に配され、当該レベルシフト部が停止している間、開放されるスイッチが設けられている方が好ましい。なお、当該スイッチは、上記入力信号制御部の一部としても実現できる。

【 0 0 4 4 】

上記構成では、クロック信号線に全てのレベルシフト部が常時接続され、全レベルシフト部の入力スイッチング素子がクロック信号線の負荷となる場合とは異なる。

り、クロック信号線へ接続される入力スイッチング素子は、動作中のレベルシフタのものに限定される。また、停止中、上記スイッチが開放され、レベルシフタの入力が不定となっても、上記出力安定手段によって、レベルシフタの出力が所定の値に保たれるので、フリップフロップが誤動作しない。この結果、クロック信号線の負荷容量を削減でき、クロック信号線を駆動する回路の消費電力を削減できる。

【0045】

一方、本発明に係る画像表示装置は、上記課題を解決するために、マトリクス状に配された複数の画素と、上記各画素の各行に配置された複数のデータ信号線と、上記各画素の各列に配置された複数の走査信号線と、予め定められた周期の第1クロック信号に同期して、互いに異なるタイミングの走査信号を上記各走査信号線へ順次与える走査信号線駆動回路と、予め定められた周期の第2クロック信号に同期して順次与えられ、かつ、上記各画素の表示状態を示す映像信号から、上記走査信号が与えられた走査信号線の各画素へのデータ信号を抽出して、上記各データ信号線へ出力するデータ信号線駆動回路とを有する画像表示装置において、上記データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上記第1あるいは第2クロック信号を上記クロック信号とする上述のいずれかの構成のシフトレジスタを備えていることを特徴としている。

【0046】

ここで、画像表示装置では、データ信号線の数、あるいは、走査信号線の数が大きくなるに従って、各信号線毎のタイミングを生成するためのフリップフロップの数が大きくなり、フリップフロップの両端間の距離が長くなる。ところが、上記各構成のシフトレジスタは、レベルシフタの駆動能力が小さく、かつ、フリップフロップの両端間の距離が長い場合であっても、バッファを削減でき、消費電力を削減できる。

【0047】

それゆえ、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成のシフトレジスタを備えることによって、消費電力の少ない画像表示装置を実現できる。

【 0 0 4 8 】

さらに、上記構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている方が望ましい。

【 0 0 4 9 】

当該構成によれば、データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されており、データ信号線駆動回路と各画素との間の配線、並びに、走査信号線駆動回路と各画素との間の配線は、当該基板上に配され、基板外に出す必要がない。この結果、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が増加せず、組み立て時の手間を削減できる。また、各信号線を基板外と接続するための端子を設ける必要がないため、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できる。

【 0 0 5 0 】

ところで、多結晶シリコン薄膜は、単結晶シリコンに比べて、基板面積を拡大しやすい一方で、多結晶シリコントランジスタは、単結晶シリコントランジスタに比べて、例えば、移動度やしきい値などのトランジスタ特性が劣っている。したがって、単結晶シリコントランジスタを用いて各回路を製造すると、表示面積の拡大が難しく、多結晶シリコン薄膜トランジスタを用いて各回路を製造すると、各回路の駆動能力が低下してしまう。なお、両駆動回路と画素とを別の基板上に形成した場合は、各信号線で両基板間を接続する必要があり、製造時に手間がかかると共に、各信号線の容量が増大してしまう。

【 0 0 5 1 】

したがって、上述の各構成の画像表示装置では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる方が好ましい。

【 0 0 5 2 】

当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含

んでいるため、表示面積を容易に拡大できる。さらに、同一基板上に容易に形成できるので、製造時の手間や各信号線の容量を削減できる。加えて、上記各構成のシフトレジスタが使用されているので、レベルシフトの駆動能力が低い場合であっても、何ら支障なく、レベルシフト後のクロック信号を各フリップフロップへ印加できる。この結果、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できる。

【0053】

加えて、上述の各構成の画像表示装置において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる方が望ましい。

【0054】

当該構成によれば、スイッチング素子のプロセス温度が600度以下に設定されるので、各スイッチング素子の基板として、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しない。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できる。

【0055】

【発明の実施の形態】

〔第1の実施形態〕

本発明の一実施形態について図1ないし図7に基づいて説明すると以下の通りである。なお、本発明は、入力されるクロック信号の振幅が駆動電圧よりも小さなシフトレジスタに広く適用できるが、以下では、好適な一例として、画像表示装置に適用した場合について説明する。

【0056】

すなわち、図2に示すように、本実施形態に係る画像表示装置1は、マトリクス状に配された画素PIXを有する表示部2と、各画素PIXを駆動するデータ信号線駆動回路3および走査信号線駆動回路4とを備えており、制御回路5が各画素PIXの表示状態を示す映像信号DATを生成すると、当該映像信号DATに基づいて画像を表示できる。

【0057】

上記表示部2および両駆動回路3・4は、製造時の手間と、配線容量とを削減するために、同一基板上に設けられている。また、より多くの画素PIXを集積し、表示面積を拡大するために、上記各回路2～4は、ガラス基板上に形成された多結晶シリコン薄膜トランジスタから構成されている。さらに、通常のガラス基板（歪み点が600度以下のガラス基板）を用いても、歪み点以上のプロセスに起因するソリやタワミが発生しないように、上記多結晶薄膜シリコントランジスタは、600度以下のプロセス温度で製造される。

【0058】

ここで、上記表示部2は、1（エル：以下では、参照の便宜上、大文字のLを使用する）本のデータ信号線 $SL_1 \sim SL_L$ と、各データ信号線 $SL_1 \sim SL_L$ にそれぞれ交差するm本の走査信号線 $GL_1 \sim GL_m$ とを備えている。L以下の任意の正整数をi、m以下の任意の正整数をjとすると、データ信号線 SL_i と走査信号線 GL_j との組み合わせ毎に、画素 $PIX_{(i,j)}$ が設けられており、各画素 $PIX_{(i,j)}$ は、隣接する2本のデータ信号線 $SL_i \cdot SL_{i+1}$ 、および、隣接する2本の走査信号線 $GL_j \cdot GL_{j+1}$ で包囲された部分に配される。

【0059】

一方、上記画素 $PIX_{(i,j)}$ は、例えば、図3に示すように、ゲートが走査信号線 GL_j へ、ドレインがデータ信号線 SL_i に接続された電界効果トランジスタ（スイッチング素子）SWと、当該電界効果トランジスタSWのソースに、一方電極が接続された画素容量 C_p とを備えている。また、画素容量 C_p の他端は、全画素PIXに共通の共通電極線に接続されている。上記画素容量 C_p は、液晶容量 C_L と、必要に応じて付加される補助容量 C_s とから構成されている。

【0060】

上記画素 $PIX_{(i,j)}$ において、走査信号線 GL_j が選択されると、電界効果トランジスタSWが導通し、データ信号線 SL_i に印加された電圧が画素容量 C_p へ印加される。一方、当該走査信号線 GL_j の選択期間が終了して、電界効果トランジスタSWが遮断されている間、画素容量 C_p は、遮断時の電圧を保持し続ける。ここで、液晶の透過率あるいは反射率は、液晶容量 C_L に印加される電

圧によって変化する。したがって、走査信号線 GL_j を選択し、データ信号線 SL_i へ映像データに応じた電圧を印加すれば、当該画素 $PIX_{(i,j)}$ の表示状態を、映像データを合わせて変化させることができる。

【0061】

図2に示す画像表示装置1では、走査信号線駆動回路4が走査信号線 GL を選択し、選択中の走査信号線 GL とデータ信号線 SL との組み合わせに対応する画素 PIX への映像データが、データ信号線駆動回路3によって、それぞれのデータ信号線 SL へ出力される。これにより、当該走査信号線 GL に接続された画素 PIX …へ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路4が走査信号線 GL を順次選択し、データ信号線駆動回路3が各データ信号線 SL へ映像データを出力する。この結果、表示部2の全面素 PIX に、それぞれの映像データが書き込まれる。

【0062】

ここで、上記制御回路5からデータ信号線駆動回路3までの間、各画素 PIX への映像データは、映像信号 DAT として、時分割で伝送されており、データ信号線駆動回路3は、タイミング信号となる所定の周期のクロック信号 CKS とスタート信号 SPS とに基づいたタイミングで、映像信号 DAT から、各映像データを抽出している。

【0063】

具体的には、上記データ信号線駆動回路3は、クロック信号 CKS に同期して、開始信号 SPS を順次シフトすることによって、所定の間隔ずつタイミングが異なる出力信号 $S_1 \sim S_L$ を生成するシフトレジスタ3aと、各出力信号 $S_1 \sim S_L$ が示すタイミングで、映像信号 DAT をサンプリングして、各データ信号線 $SL_1 \sim SL_L$ へ出力する映像データを映像信号 DAT から抽出するサンプリング部3bとを備えている。同様に、走査信号線駆動回路4は、クロック信号 CKG に同期して、開始信号 SPG を順次シフトすることによって、所定の間隔ずつタイミングが異なる走査信号を、各走査信号線 $GL_1 \sim GL_m$ へ出力するシフトレジスタ4aを備えている。

【0064】

ここで、本実施形態に係る画像表示装置 1 では、表示部 2 および両駆動回路 3・4 が多結晶シリコン薄膜トランジスタで形成されており、これらの回路 2～4 の駆動電圧 V_{CC} は、例えば、15 [V] 程度に設定されている。一方、制御回路 5 は、上記各回路 2～4 とは異なる基板上に、単結晶シリコントランジスタで形成されており、駆動電圧は、例えば、5 [V] あるいは、それ以下の電圧など、上記駆動電圧 V_{CC} よりも低い値に設定されている。なお、上記各回路 2～4 と、制御回路 5 とは、互いに異なる基板に形成されているが、両者間で伝送される信号の数は、上記各回路 2～4 間の信号の数よりも大幅に少なく、例えば、映像信号 DAT や、各開始信号 SPS (SPG) あるいはクロック信号 CKS (CKG) 程度である。また、制御回路 5 は、単結晶シリコントランジスタで形成されているので十分な駆動能力を確保しやすい。したがって、互いに異なる基板上に形成しても、製造時の手間や配線容量あるいは消費電力の増加は、問題とならない程度に抑えられている。

【0065】

ここで、本実施形態では、上記シフトレジスタ 3a・4a の少なくとも一方は、図 1 に示すシフトレジスタ 11 が使用されている。なお、以下では、いずれのシフトレジスタとして使用する場合も含むように、上記各開始信号 SPS (SPG) を SP と称し、シフトレジスタ 1 の段数 L (m) を n で参照し、出力信号を $S_1 \sim S_n$ と称する。

【0066】

具体的には、上記シフトレジスタ 11 には、n 段のセット・リセット・フリップフロップ (SR フリップフロップ) $F1_{(1)} \dots$ を含み、上記駆動電圧 V_{CC} で動作するフリップフロップ部 12 と、上記制御回路 5 から供給され、駆動電圧 V_{CC} よりも振幅が小さなクロック信号 CK を昇圧して、各 SR フリップフロップ $F1_{(1)} \dots$ へ印加するレベルシフタ $13_{(1)} \dots$ を含んでいる。

【0067】

本実施形態では、各レベルシフタ $13_{(1)} \dots$ は、各 SR フリップフロップ $F1_{(1)} \dots$ と 1 対 1 に対応するように設けられており、後述するように、クロック信

号CKの振幅が上記駆動電圧 V_{CC} よりも小さい場合でも、何ら支障なく昇圧できるように、電流駆動型のレベルシフタとして構成されている。また、 n 以下で1以上の整数を i とすると、各レベルシフタ13 $_{(i)}$ は、制御信号 ENA_i が動作を指示している間、クロック信号CK、および、その反転信号CKバーに基づいて、対応するSRフリップフロップF1 $_{(i)}$ へ昇圧後のクロック信号CK $_i$ を印加できる。さらに、制御信号ENAが動作停止を指示している間、動作を停止して、対応するSRフリップフロップF1 $_{(i)}$ へのクロック信号CK $_i$ の印加を阻止できると共に、動作停止中、後述する入力スイッチング素子を遮断して、貫通電流に起因するレベルシフタ13 $_{(i)}$ の電力消費を削減できる。

【0068】

一方、上記フリップフロップ部12は、1クロック周期幅の開始信号SPをクロック信号CKの各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できるように構成されている。具体的には、各レベルシフタ13 $_{(i)}$ の出力は、インバータI1 $_{(i)}$ を介し、負論理のセット信号Sバーとして、SRフリップフロップF1 $_{(i)}$ へ印加される。また、各SRフリップフロップF1 $_{(i)}$ の出力Qは、シフトレジスタ11の出力S $_i$ として出力されると共に、次段のレベルシフタ13 $_{(i+1)}$ へ制御信号 ENA_{i+1} として印加される。なお、最前段のレベルシフタ13 $_{(1)}$ には、制御信号 ENA_1 として、図1に示す制御回路5からの開始信号SPが昇圧された後、印加されている。さらに、各SRフリップフロップF1 $_{(i)}$ には、後段のSRフリップフロップF1へのセット信号のうち、伝送するパルスのパルス幅だけ遅れた信号がリセット信号Rとして印加される。本実施形態では、1クロック周期幅のパルスを伝送するので、1クロック周期遅れた信号、すなわち、2段後のSRフリップフロップF1 $_{(i+2)}$ へのクロック信号CK $_{(i+2)}$ が、正論理のリセット信号として印加される。

【0069】

また、奇数段のSRフリップフロップF1 $_{(1)}$ 、F1 $_{(3)}$ …がクロック信号CKの立ち上がりでセットされるように、奇数段のレベルシフタ13 $_{(1)}$ …には、クロック信号CKが非反転入力端子に印加され、クロック信号の反転信号CKバーが反転入力端子に印加される。これとは逆に、偶数段のレベルシフタ13 $_{(2)}$

、13₍₄₎ …には、偶数段のSRフリップフロップF1₍₂₎ …がクロック信号CKの立ち下がりでセットされるように、クロック信号CKが反転入力端子に印加され、その反転信号CKバーが非反転入力端子に印加される。

【0070】

上記構成によれば、図4に示すように、開始信号SPがパルス入力されている間、最前段のレベルシフタ13₍₁₎ が動作して、昇圧した後のクロック信号CK₁ をSRフリップフロップF1₍₁₎ へ印加する。これにより、SRフリップフロップF1₍₁₎ は、パルス入力の開始時時点の後、クロック信号CKが最初に立ち上がった時点でセットされ、出力S₁ をハイレベルへと変化させる。

【0071】

上記出力S₁ は、制御信号ENA₂ として、2段目のレベルシフタ13₍₂₎ へ印加される。これにより、レベルシフタ13₍₂₎ は、SRフリップフロップF1₍₁₎ がパルス出力している間（制御信号ENA₂ = S₁ がハイレベルの間）、クロック信号CK₂ を出力する。ただし、レベルシフタ13₍₂₎ には、クロック信号CKが反転入力端子に印加されているので、レベルシフタ13₍₂₎ は、クロック信号CKと極性が逆で、昇圧された信号をクロック信号CK₂ として出力する。これにより、SRフリップフロップF1₍₂₎ は、前段の出力S₁ がハイレベルになった後、クロック信号CKが最初に立ち下がった時点でセットされ、出力S₂ をハイレベルへと変化させる。

【0072】

各出力信号S_i は、次段のレベルシフタ13_(i+1) へ、制御信号ENA_{i+1} として印加されているので、2段目以降のSRフリップフロップF1₍₂₎ …は、前段の出力S₁ …よりも、クロック信号CKの1/2周期だけ遅れて、出力S₂ …を出力する。

【0073】

一方、各段のレベルシフタ13_(i) には、2段後のレベルシフタ13_(i+2) の出力CK_{i+2} がリセット信号Rとして印加される。したがって、各出力S_i は、1クロック周期だけ、ハイレベルとなった後、ローレベルへと変化する。これにより、フリップフロップ部12は、1クロック周期幅の開始信号SPをクロック

信号CKの各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できる。

【0074】

ここで、各レベルシフタ13(i)は、SRフリップフロップF1(i)毎に設けられているため、SRフリップフロップF1(i)の段数が多い場合であっても、唯一のレベルシフタでクロック信号CKを昇圧した後、全てのフリップフロップへ印加する場合に比べて、互いに対応するレベルシフタとフリップフロップ間の距離を短くできる。したがって、昇圧後のクロック信号CK_iの伝送距離を短くできると共に、各レベルシフタ13(i)の負荷容量を削減できる。また、負荷容量が小さいので、例えば、レベルシフタ13(i)が多結晶シリコン薄膜トランジスタから構成されている場合のように、レベルシフタ13(i)の駆動能力を十分に確保することが難しい場合であっても、バッファを設ける必要がない。これらの結果、シフトレジスタ11の消費電力を削減できる。

【0075】

また、開始信号SPや、前段の出力S_{i-1}がローレベルの間のように、各SRフリップフロップF1(i)がクロック信号CK_iの入力を必要としない場合、レベルシフタ13(i)が動作を停止している。この状態では、クロック信号CK_iが駆動されないため、駆動に必要な電力消費が発生しない。さらに、後述するように、各レベルシフタ13(i)に設けられたレベルシフト部13aへの電力供給自体が停止されると共に、入力スイッチング素子が遮断され、貫通電流を流さない。したがって、電流駆動型のレベルシフタが多数(n個)設けられているにも拘わらず、動作中のレベルシフタ13(i)でのみ、電力が消費される。この結果、シフトレジスタ11の消費電力を大幅に削減できる。

【0076】

加えて、本実施形態に係るレベルシフタ13(i)は、SRフリップフロップF1(i)にクロック信号CK_iが必要な期間、すなわち、開始信号SPまたは前段の出力S_{i-1}がパルス出力を開始した時点からSRフリップフロップF1(i)がセットされるまでの期間を、開始信号SPまたは前段の出力S_{i-1}のみに基づいて判定している。この結果、開始信号SPまたは前段の出力S_{i-1}を直接印加す

るだけで、各レベルシフタ 13 (i) の動作/停止を制御でき、新たな制御信号を作成するための回路を設ける場合に比べて、シフトレジスタ 11 の回路構成を簡略化できる。

【0077】

さらに、本実施形態では、各レベルシフタ 13 (i) が停止している間、各 SR フリップフロップ F 1 (i) へのクロック入力が阻止される。したがって、レベルシフタ 13 (i) とは別にクロック入力の要否に応じて導通するスイッチを設けなくても、開始信号 SP を正しく伝送できる。

【0078】

ここで、上記各 SR フリップフロップ F 1 では、例えば、図 5 に示すように、駆動電圧 V_{CC} と接地レベルとの間に、P 型の MOS トランジスタ P 1、N 型の MOS トランジスタ N 2 および N 3 が互いに直列に接続されており、トランジスタ P 1・N 3 のゲートには、負論理のセット信号 \overline{S} が印加される。また、トランジスタ N 2 のゲートには、正論理のリセット信号 R が印加される。さらに、互いに接続された上記両トランジスタ P 1・N 2 のドレイン電位は、インバータ INV 1・INV 2 で、それぞれ反転され、出力信号 Q として出力される。一方、駆動電圧 V_{CC} と接地レベルとの間には、さらに、それぞれ直列に接続された P 型の MOS トランジスタ P 4・P 5 および N 型の MOS トランジスタ N 6・N 7 が設けられている。上記両トランジスタ P 5・N 6 のドレインは、上記インバータ INV 1 の入力に接続されていると共に、両トランジスタ P 5・N 6 のゲートは、インバータ INV 1 の出力に接続されている。さらに、上記トランジスタ P 4 には、リセット信号 R が印加されると共に、上記トランジスタ N 7 のゲートには、セット信号 \overline{S} が印加される。

【0079】

上記 SR フリップフロップ F 1 では、図 6 に示すように、リセット信号 R がインアクティブ（ローレベル）の間に、セット信号 \overline{S} がアクティブ（ローレベル）に変化すると、上記トランジスタ P 1 が導通して、インバータ INV 1 の入力をハイレベルに変化させる。これにより、SR フリップフロップ F 1 の出力信号 Q は、ハイレベルへと変化する。

【0080】

この状態では、リセット信号RおよびインバータINV1の出力によって、トランジスタP4・P5が導通する。また、リセット信号RおよびインバータINV1の出力によって、トランジスタN2・N6が遮断される。これにより、セット信号Sバーがインアクティブに変化しても、インバータINV1の入力は、ハイレベルに維持され、出力信号Qは、ハイレベルのまま保たれる。

【0081】

その後、リセット信号Rがアクティブになると、トランジスタP4が遮断され、トランジスタN2が導通する。ここで、セット信号Sバーがインアクティブのままなので、トランジスタP1は、遮断され、トランジスタN3が導通する。したがって、インバータINV1の入力がローレベルに駆動され、出力信号Qがローレベルへと変化する。

【0082】

一方、本実施形態に係るレベルシフタ13は、例えば、図7に示すように、クロック信号CKをレベルシフトするレベルシフト部13aと、クロック信号CKの供給が不要な停止期間に、レベルシフト部13aへの電力供給を遮断する電力供給制御部13bと、停止期間中、レベルシフト部13aとクロック信号CKが伝送される信号線とを遮断する入力制御部（スイッチ）13cと、停止期間中、上記レベルシフト部13aの入力スイッチング素子を遮断する入力スイッチング素子遮断制御部（入力信号制御部）13dと、停止期間中、レベルシフト部13aの出力を所定の値に維持する出力安定部（出力安定手段）13eとを備えている。

【0083】

上記レベルシフト部13aは、入力段の差動入力対として、ソースが互いに接続されたP型のMOSトランジスタP11・P12と、両トランジスタP11・P12のソースへ所定の電流を供給する定電流源Icと、カレントミラー回路を構成し、両トランジスタP11・P12の能動負荷となるN型のMOSトランジスタN13・N14と、差動入力対の出力を増幅するCMOS構造のトランジスタP15・N16とを備えている。

【0084】

上記トランジスタP11のゲートには、後述するトランジスタN31を介して、クロック信号CKが入力され、トランジスタP12のゲートには、後述するトランジスタN33を介して、クロック信号の反転信号CKバーが入力される。また、トランジスタN13・N14のゲートは、互いに接続され、さらに、上記トランジスタP11・N13のドレインに接続されている。一方、互いに接続されたトランジスタP12・N14のドレインは、上記トランジスタP15・N16のゲートに接続される。なお、トランジスタN13・N14のソースは、上記電力供給制御部13bとしてのN型のMOSトランジスタN21を介して接地される。

【0085】

一方、上記トランジスタP11側の入力制御部13cでは、クロック信号CKと上記トランジスタP11のゲートとの間に、N型のMOSトランジスタN31が設けられている。また、トランジスタP11側の入力スイッチング素子遮断制御部13dでは、トランジスタP11のゲートと駆動電圧 V_{CC} との間に、P型のMOSトランジスタP32が設けられている。同様に、トランジスタP12のゲートには、入力制御部13cとしてのトランジスタN33を介して、クロック信号の反転信号CKバーが印加され、入力スイッチング素子遮断制御部13dとしてのトランジスタP34を介して、駆動電圧 V_{CC} が与えられる。

【0086】

また、上記出力安定部13eは、停止期間におけるレベルシフタ13の出力電圧OUTを、接地レベルに安定させる構成であり、駆動電圧 V_{CC} と上記両トランジスタP15・N16のゲートとの間に、P型のMOSトランジスタP41を備えている。

【0087】

なお、本実施形態では、制御信号ENAは、ハイレベルの場合、レベルシフタ13の動作を示すように設定されている。したがって、上記各トランジスタN21～P41のゲートには、制御信号ENAが印加される。

【0088】

上記構成のレベルシフタ 13 では、制御信号 $E N A$ が動作を示している場合（ハイレベルの場合）、トランジスタ $N 21 \cdot N 31 \cdot N 33$ が導通し、トランジスタ $P 32 \cdot P 34 \cdot P 41$ が遮断される。この状態では、定電流源 I_c の電流は、トランジスタ $P 11$ および $N 13$ 、あるいは、トランジスタ $P 12$ および $N 14$ を介した後、さらに、トランジスタ $N 21$ を介して流れる。また、両トランジスタ $P 11 \cdot P 12$ のゲートには、クロック信号 $C K$ 、あるいは、クロック信号の反転信号 $C K$ バーが印加される。この結果、両トランジスタ $P 11 \cdot P 12$ には、それぞれのゲートソース間電圧の比率に応じた量の電圧が流れる。一方、トランジスタ $N 13 \cdot N 14$ は、能動負荷として働くので、トランジスタ $P 12 \cdot N 14$ の接続点の電圧は、両 $C K \cdot C K$ バーの電圧レベルの差に応じた電圧となる。当該電圧は、CMOS のトランジスタ $P 15 \cdot N 16$ のゲート電圧となり、両トランジスタ $P 15 \cdot N 16$ で電力増幅された後、出力電圧 $O U T$ として出力される。

【0089】

上記レベルシフタ 13 は、クロック信号 $C K$ によって、入力段のトランジスタ $P 11 \cdot P 12$ の導通／遮断を切り換える構成、すなわち、電圧駆動型とは異なり、動作中、入力段のトランジスタ $P 11 \cdot P 12$ が常時導通する電流駆動型であり、両トランジスタ $P 11 \cdot P 12$ のゲートソース間電圧の比率に応じて、定電流源 I_c の電流を分流することによって、クロック信号 $C K$ をレベルシフトする。これにより、クロック信号 $C K$ の振幅が入力段のトランジスタ $P 11 \cdot P 12$ のしきい値よりも低い場合であっても、何ら支障なく、クロック信号 $C K$ をレベルシフトできる。

【0090】

この結果、各レベルシフタ 13 (i) は、図 4 に示すように、それぞれに対応する制御信号 $E N A_i$ がハイレベルの間、クロック信号 $C K_i$ として、波高値が駆動電圧 V_{CC} よりも低い値（例えば、5 [V] 程度）のクロック信号 $C K$ と同一形状で、波高値が駆動電圧 V_{CC} （例えば、15 [V] 程度）に昇圧された出力電圧 $O U T$ を出力できる。

【0091】

これとは逆に、制御信号 ENA_i が動作停止を示している場合（ローレベルの場合）、定電流源 I_c から、トランジスタ $P11$ および $N13$ 、あるいは、トランジスタ $P12$ および $N14$ を介して流れる電流は、トランジスタ $N21$ によって遮断される。この状態では、定電流源 I_c からの電流供給がトランジスタ $N21$ にて阻止されるため、当該電流に起因する消費電力を削減できる。また、この状態では、両トランジスタ $P11 \cdot P12$ へ電流が供給されないため、両トランジスタ $P11 \cdot P12$ は、差動入力対として動作することができず、出力端、すなわち、両トランジスタ $P12 \cdot N14$ の接続点の電位を決定できなくなる。

【0092】

さらに、この状態では、各入力制御部 $13c$ のトランジスタ $N31 \cdot N33$ が遮断される。これにより、クロック信号 CK (CK バー) を伝送する信号線と、入力段の両トランジスタ $P11 \cdot P12$ のゲートとが切り離され、当該信号線の負荷容量となるゲート容量は、動作中のレベルシフタ 13 のもののみに限定される。この結果、当該信号線に複数のレベルシフタ $13(i)$ が接続されているにも拘わらず、信号線の負荷容量を削減でき、図2に示す制御回路5のように、クロック信号 CK (CK バー) を駆動する回路の消費電力を削減できる。

【0093】

また、停止中は、各入力スイッチング素子遮断制御部 $13d$ のトランジスタ $P32 \cdot P34$ が導通するので、上記両トランジスタ $P11 \cdot P12$ のゲート電圧は、いずれも駆動電圧 V_{CC} となり、両トランジスタ $P11 \cdot P12$ が遮断される。これにより、トランジスタ $N21$ を遮断する場合と同様に、定電流源 I_c が出力する電流分だけ、消費電流を低減できる。なお、この状態では、両トランジスタ $P11 \cdot P12$ は、差動入力対として動作することができないので、上記出力端の電位を決定できない。

【0094】

加えて、制御信号 ENA が動作停止を示している場合には、さらに、出力安定部 $13e$ のトランジスタ $P41$ が導通する。この結果、上記出力端、すなわち、CMOSのトランジスタ $P15 \cdot N16$ のゲート電位は、駆動電圧 V_{CC} となり、

出力電圧 OUT がローレベルとなる。これにより、図 4 に示すように、制御信号 ENA_i が動作停止を示している場合、レベルシフタ $13_{(i)}$ の出力電圧 OUT (CK_i) は、クロック信号 CK に拘わらず、ローレベルのまま保たれる。この結果、レベルシフタ $13_{(i)}$ の停止中における出力電圧 OUT が不定の場合とは異なり、SR フリップフロップ $F1_{(i)}$ の誤動作を防止でき、安定して動作可能なシフトレジスタ 11 を実現できる。

【0095】

〔第 2 の実施形態〕

本実施形態では、第 1 の実施形態とは異なり、シフトレジスタが複数段の D フリップフロップから構成される場合について、図 8 ないし図 14 に基づいて説明する。なお、以降の各実施形態では、説明の便宜上、先の実施形態と同様の機能を有する部材には、同じ参照符号を付して説明を省略する。

【0096】

すなわち、図 8 に示すように、本実施形態に係るシフトレジスタ 21 は、複数段の D フリップフロップ $F2_{(1)}$ … からなるフリップフロップ部 22 と、各 D フリップフロップ $F2_{(1)}$ 毎に設けられ、図 1 に示すレベルシフタ $13_{(1)}$ … と同様の構成のレベルシフタ $23_{(1)}$ … とを備えている。

【0097】

上記各 D フリップフロップ $F2_{(i)}$ は、クロック信号 CK_i がハイレベルの期間、入力 D に応じて出力 Q を変化させ、ローレベルの間、出力 Q を維持する D フリップフロップであって、各 D フリップフロップ $F2_{(i)}$ の出力 Q は、出力 S_i として出力されると共に、次段の D フリップフロップ $F2_{(i+1)}$ へ入力される。なお、最前段の D フリップフロップ $F2_{(1)}$ には、開始信号 SP が入力される。

【0098】

また、図 1 と同様に、奇数段のレベルシフタ $23_{(1)}$ … は、動作中、昇圧したクロック信号 CK をクロック信号 CK_1 … として出力すると共に、偶数段のレベルシフタ $23_{(2)}$ … は、動作中、クロック信号 CK とは逆極性で昇圧された信号 CK_2 … を出力する。なお、偶数奇数に拘わらず、D フリップフロップ $F2_{(i)}$ には、対応するクロック信号 CK_i と、インバータ $I2_{(i)}$ で生成されたクロッ

ク信号 CK_i の反転信号とが、それぞれ印加される。

【0099】

ここで、Dフリップフロップ $F2(i)$ の出力 S_i は、クロック信号 CK_i が立ち上がるまで変化しないため、図1に示すSRフリップフロップ $F1(i)$ とは異なり、出力 S_i の立ち上がり時点だけではなく、立ち下がり時点にもクロック信号 CK_i を必要とする。したがって、本実施形態では、各レベルシフタ $23(i)$ の入力と出力との論理和を演算するOR回路 $G1(i)$ が設けられており、演算結果を対応するレベルシフタ $23(i)$ への制御信号 ENA_i として出力している。

【0100】

上記構成において、図9に示すように、開始信号 SP がパルス入力されると、制御信号 ENA_1 がハイレベルへと変化して、Dフリップフロップ $F2(1)$ へ、昇圧後のクロック信号 CK_1 が入力される。この結果、開始信号 SP がパルス入力された後、次のクロック信号 CK_1 の立ち上がり時点において、Dフリップフロップ $F2(1)$ の出力 S_1 は、ハイレベルへと変化し、クロック信号 CK_1 がローレベルの間は、開始信号 SP がローレベルへと変化しても、ハイレベルのまま保たれる。

【0101】

開始信号 SP がローレベルへと変化した後、最初にクロック信号 CK_1 が立ち上がった時点で、Dフリップフロップ $F2(1)$ の出力 S_1 は、ローレベルへと変化する。さらに、この状態では、開始信号 SP および出力 S_1 が共にローレベルなので、OR回路 $G1(1)$ は、制御信号 ENA_1 をローレベルへと変化させ、レベルシフタ $23(1)$ を停止させる。

【0102】

ここで、各Dフリップフロップ $F2(i)$ の出力 S_i は、次段のDフリップフロップ $F2(i+1)$ へ入力され、隣接するDフリップフロップ $F2(i) \cdot F2(i+1)$ には、互いに逆相のクロック信号 $CK_i \cdot CK_{i+1}$ が入力される。この結果、フリップフロップ部22は、開始信号 SP をクロック信号 CK の各エッジ（立ち上がり、および、立ち下がり）毎に、次段へ伝送できる。

【0 1 0 3】

上記構成では、各レベルシフタ 2 3 (i) は、対応する D フリップフロップ F 2 (i) がクロック信号 CK_i の入力が必要としている間、すなわち、D フリップフロップ F 2 (i) へパルス入力開始されてから、D フリップフロップ F 2 (i) がパルス出力を終了するまでの期間、動作し、残余の期間は、動作を停止できる。この結果、第 1 の実施形態と同様に、駆動電圧 V_{CC} よりも小さな振幅のクロック信号 CK で動作可能で、しかも、消費電力の少ないシフトレジスタ 2 1 を実現できる。

【0 1 0 4】

さらに、本実施形態に係るフリップフロップ部 2 2 は、第 1 の実施形態とは異なり、入力 D とクロック信号 CK とに基づいて、出力 Q を変化させる D フリップフロップで構成されているので、開始信号 SP のパルス幅（クロック数）が変化しても、何ら支障なく、開始信号 SP を伝送できる。

【0 1 0 5】

例えば、図 2 に示すサンプリング部 3 b では、映像信号 DAT をサンプリングするサンプリングトランジスタの駆動能力が低い場合には、より長いサンプリング期間が必要となり、より長いパルス幅（時間）の出力 $S_1 \cdots S_n$ を必要とする。一方、同じ時間のパルス幅であっても、クロック信号 CK の周波数が高くなるに従って、クロック数が大きくなる。したがって、開始信号 SP のパルス幅の最適値は、サンプリングトランジスタの駆動能力とクロック信号 CK の周波数とによって変化する。このため、図 1 に示すシフトレジスタ 1 1 のように、出力 $S_1 \cdots$ のパルス幅（クロック数）に応じて、リセット信号 R の接続先を設定する構成の場合、所望のパルス幅（クロック数）毎に異なる回路を設計する必要がある。また、同じデータ信号線駆動回路 3 を異なる周波数のクロック信号 CK で駆動する場合や、異なる表示部 2 の駆動に流用する場合には、最適なパルス幅を確保できず、表示品位を低下させる虞れがある。

【0 1 0 6】

これに対して、本実施形態に係るシフトレジスタ 2 1 は、開始信号 SP のパルス幅を変更するだけで、所望のパルス幅の出力 $S_1 \cdots$ を出力できる。したがって

、設計の手間を削減できると共に、上記の場合でも表示品位が低下しない画像表示装置 1 を実現できる。

【0107】

ただし、図 5 に示すように、SR フリップフロップ F 1 は、後述の図 10 に示す D フリップフロップ F 2 に比べて、少ない素子で実現でき、素子の動作速度が同一の場合、より高速に動作できる。さらに、前段の出力 S_{i-1} で、次段のレベルシフタ 13 (i) の動作／停止を直接制御できるので、上記 OR 回路 G 1 (i) が不要である。この結果、最適なパルス幅（クロック数）が予め決定でき、高速で回路規模の小さなシフトレジスタが要求される場合には、SR フリップフロップ F 1 を使用の方が好ましい。

【0108】

ここで、上記各 D フリップフロップ F 2 では、例えば、図 10 に示すように、駆動電圧 V_{CC} と接地レベルとの間に、P 型の MOS トランジスタ P 51・P 52、並びに、N 型の MOS トランジスタ N 53・N 54 が互いに直列に接続されている。上記トランジスタ P 52・N 53 のゲートには、入力信号 D が印加され、互いに接続された両トランジスタ P 52・N 53 のドレイン電位は、インバータ INV 51 で反転された後、出力 Q として出力される。一方、駆動電圧 V_{CC} と接地レベルとの間には、さらに、それぞれ直列に接続された P 型の MOS トランジスタ P 55・P 56、並びに、N 型の MOS トランジスタ N 57・N 58 が設けられている。上記両トランジスタ P 56・N 57 のドレインは、インバータ INV 51 の入力に接続され、それぞれのゲートは、インバータ INV 51 の出力に接続されている。さらに、上記トランジスタ P 51・N 58 のゲートには、クロック信号の反転信号 CKバーが印加され、トランジスタ N 54・P 55 のゲートには、クロック信号 CK が印加される。

【0109】

上記構成の D フリップフロップ F 2 では、クロック信号 CK がハイレベルの間、トランジスタ P 51・N 54 が導通し、トランジスタ P 55・N 58 が遮断される。これにより、入力 D は、トランジスタ P 52・N 53 で反転された後、インバータ INV 51 で反転される。この結果、出力 Q は、入力 D と同じ値に変化

する。これとは逆に、クロック信号CKがローレベルの間、トランジスタP51・N54が遮断されるので、トランジスタP52・N53は、入力Dを反転できない。また、この状態では、トランジスタP55・N58が導通して、インバータINV51の出力が入力に帰還される。この結果、クロック信号CKがローレベルの間、出力Qは、入力Dがハイレベルであっても、クロック信号CKの立ち下がり時点と同じ値に保たれる。したがって、図11に示すように、DフリップフロップF2の出力Qは、入力Dが変化した後、最初に、クロック信号CKが立ち上がった時点で、入力Dに追従して変化する。

【0110】

一方、上記各OR回路G1には、例えば、図12に示すように、各入力 $IN_{(1)}$ …に対応するP型のMOSトランジスタP61₍₁₎…からなる直列回路と、各入力 $IN_{(1)}$ …に対応するN型のMOSトランジスタN62₍₁₎…からなる並列回路と、P型のMOSトランジスタP63およびN型のMOSトランジスタN64からなるCMOSインバータとが設けられている。ここで、上記OR回路G1は、2入力のOR回路なので、トランジスタP61・N62は、それぞれ2つつ設けられ、トランジスタP61₍₁₎・N62₍₁₎のゲートには、入力 $IN_{(1)}$ が印加され、トランジスタP62₍₂₎・N62₍₂₎のゲートには、入力 $IN_{(2)}$ が印加される。また、上記直列回路と並列回路とは、互いに直列に接続され、駆動電圧 V_{CC} と接地レベルとの間に配される。さらに、上記直列回路と並列回路との接続点は、CMOSインバータの入力端、すなわち、上記両トランジスタP63・N64のゲートに接続される。これにより、OR回路G1は、上記CMOSインバータの出力端となるトランジスタP63・N64のドレインから、入力 $IN_{(1)}$ ・ $IN_{(2)}$ の論理和を出力できる。

【0111】

ところで、図8では、各DフリップフロップF2_(i)の入出力を論理和して、レベルシフタ23_(i)へ動作/停止を指示するOR回路G1_(i)が設けられているが、各レベルシフタ自体が、DフリップフロップF2_(i)の入出力を論理和して動作/停止を判断できれば、OR回路G1_(i)を省略できる。

【0112】

具体的には、図13に示すように、本変形例に係るシフトレジスタ21aでは、レベルシフタ23(i)に代えて、制御信号 $ENA_1 \cdot ENA_2$ のいずれかがアクティブ（真）の場合に動作するレベルシフタ24(i)が設けられている。これに伴い、図8に示すOR回路G1(i)が省略され、DフリップフロップF2(i)の入出力が制御信号 $ENA_1 \cdot ENA_2$ として、互いに対応するレベルシフタ24(i)に直接入力されている。

【0113】

上記レベルシフタ24は、例えば、図14に示すように、図7に示すレベルシフタ13と略同様の構成であるが、当該レベルシフタ13とは異なり、電力供給制御部24b～出力安定部24eにおいて、制御信号 $ENA_1 \cdot ENA_2$ に対応して、同数（この場合は2個）の各トランジスタN21～P41が設けられている。具体的には、電力供給制御部24bにおいて、トランジスタN21(1)・N21(2)が互いに並列に接続されている。同様に、トランジスタP11に対応する入力制御部24cでは、トランジスタN31(1)・N31(2)が、トランジスタP12に対応する入力制御部24cでは、トランジスタN33(1)・N33(2)が、それぞれ互いに並列に接続されている。一方、出力安定部24eでは、トランジスタP41(1)・P41(2)が互いに直列に接続され、各入力スイッチング素子遮断制御部24dは、互いに直列に接続されたトランジスタP32(1)・P32(2)、あるいは、互いに直列に接続されたトランジスタP34(1)・P34(2)から構成される。また、本実施形態では、シフトレジスタ21aがハイレベルのパルス信号を伝送するので、上記各トランジスタN21(1)～P41(2)のうち、制御信号 ENA_1 に対応する方（添字が(1)のもの）のゲートには、制御信号 ENA_1 が印加され、制御信号 ENA_2 に対応する方（添字が(2)のもの）のゲートには、対応する制御信号 ENA_2 が印加される。

【0114】

上記構成によれば、制御信号 ENA_1 または ENA_2 の少なくとも一方がハイレベルの場合、トランジスタN21(1)・N21(2)のいずれかと、トランジスタN31(1)・N31(2)のいずれかと、トランジスタN33(1)・N33(2)

のいずれかとが導通する。また、トランジスタ $P32_{(1)}$ ・ $P32_{(2)}$ のいずれかと、トランジスタ $P34_{(1)}$ ・ $P34_{(2)}$ のいずれかと、トランジスタ $P41_{(1)}$ ・ $P41_{(2)}$ のいずれかとが遮断される。この結果、上記レベルシフタ 13 と同様に、レベルシフタ 24 が動作する。これとは逆に、制御信号 ENA_1 および ENA_2 のいずれもがローレベルの場合、N型のトランジスタ $N21_{(1)}$ ～ $N34_{(2)}$ 全てが遮断され、P型のトランジスタ $P31_{(1)}$ ～ $P41_{(2)}$ 全てが導通するので、上記レベルシフタ 13 と同様に、レベルシフタ 24 が動作を停止する。この結果、図 8 に示すレベルシフタ 23 (i) と同様に、レベルシフタ 24 (i) は、対応する D フリップフロップ $F2_{(i)}$ の入出力に応じて、動作/停止でき、同様の効果を得ることができる。

【0115】

〔第 3 の実施形態〕

ところで、上記第 1 および第 2 の実施形態では、フリップフロップ毎にレベルシフタを設けているが、回路規模の削減が強く要求される場合には、以下の各実施形態に示すように、複数のフリップフロップ毎にレベルシフタを設けてもよい。本実施形態では、図 15 ないし図 19 を参照して、複数の SR フリップフロップ毎に、レベルシフタが設けられている場合について説明する。

【0116】

すなわち、本実施形態に係るシフトレジスタ 11a では、図 15 に示すように、N 個の SR フリップフロップ $F1$ は、K 個の SR フリップフロップ $F1$ 毎に分けられ、複数のブロック B_1 ～ B_P に分割されている。さらに、レベルシフタ 13 は、各ブロック B 毎に設けられている。なお、以下では、説明の便宜上、P 以下で 1 以上の整数を i 、K 以下で 1 以上の整数を j とすると、 i 番目のブロック B_i において、 j 番目の SR フリップフロップ $F1$ を、 $F1_{(i,j)}$ のように参照する。

【0117】

さらに、本実施形態では、各ブロック B_i 毎に、レベルシフタ 13 (i) へ制御信号 ENA_i を指示する OR 回路 $G2_{(i)}$ が設けられている。当該 OR 回路 $G2_{(i)}$ は、当該ブロック B_i への入力信号と、当該ブロック B_i 内の最終段を除く

SRフリップフロップ $F1_{(i,1)} \cdots F1_{i,(K-1)}$ の各出力信号との論理和を算出し、上記レベルシフタ 13 (i) へ出力する K 入力 の OR 回路である。ここで、ブロック B_i への入力信号は、最前段のブロック B_1 では、開始信号 SP であり、2 段目以降のブロック B_i では、前段のブロック B_{i-1} の出力信号である。上記 OR 回路 G2 は、例えば、図 16 に示すように、図 12 に示す OR 回路 G1 において、トランジスタ P61 の個数とトランジスタ N62 の個数とを入力の数（この場合は、K 個）に増加させた回路によって実現できる。

【0118】

これにより、図 17 に示すように、当該ブロック B_i へのパルス入力 が開始された時点から、最終段より 1 つ前の SR フリップフロップ $F1_{(i,(K-1))}$ の出力 $S_{i,(K-1)}$ のパルス出力が終了する時点まで、レベルシフタ 13 (i) への制御信号 ENA_i がハイレベルとなる。この結果、レベルシフタ 13 (i) は、少なくとも、当該ブロック B_i 内の SR フリップフロップ $F1_{(i,1)} \cdots F1_{(i,K)}$ のいずれかがクロック信号 CK_i の入力を必要とする間、すなわち、上記パルス入力 が開始された時点から、最終段の SR フリップフロップ $F1_{(i,K)}$ がセットされた時点までの間、クロック信号 CK_i を出力できると共に、上記 SR フリップフロップ $F1_{(i-K)}$ がセットされた後、SR フリップフロップ $F1_{(i,(K-1))}$ の出力 $S_{i,(K-1)}$ のパルス出力が終了した時点で動作を停止できる。

【0119】

ここで、本実施形態では、レベルシフタ 13 (i) は、当該ブロック B_i の SR フリップフロップ $F1_{(i,j)}$ うち、いずれかがクロック入力を必要としている場合、クロック信号 CK_i を出力し続けるため、各 SR フリップフロップ $F1_{(i,j)}$ へクロック信号 CK_i を、そのまま供給すると、図 17 中、破線で示すように、SR フリップフロップ $F1_{(i,j)}$ がリセットされた後、再び、SR フリップフロップ $F1_{(i,j)}$ がセットされるので、開始信号 SP の 1 パルスから複数のパルスが生成されてしまう。したがって、図 15 に示すように、上記シフトレジスタ 11a には、レベルシフタ 13 (i) と各 SR フリップフロップ $F1_{(i,j)}$ との間に、スイッチ $SW_{i,j}$ が設けられており、前段の SR フリップフロップ $F1_{(i,(j-1))}$ がパルス出力している間のみ、クロック信号 CK_i を SR フリップフロップ

プ $F1(i,j)$ へ印加している。また、上記スイッチ $SW_{i,j}$ が遮断されている間、各 SR フリップフロップ $F1(i,j)$ へのセット入力を阻止するために、各 SR フリップフロップ $F1(i,j)$ の負論理のセット端子 S バーには、P 型の MOS トランジスタ $P_{i,j}$ を介して駆動電圧 V_{CC} が印加されている。シフトレジスタ 11a の最前段では、トランジスタ $P_{1,1}$ のゲートには、開始信号 SP が印加され、残余の段のトランジスタ $P_{i,j}$ のゲートには、前段の SR フリップフロップ $F1(i,j-1)$ の出力 $S_{i,j-1}$ が印加される。これにより、スイッチ $SW_{i,j}$ が遮断されている間、トランジスタ $P_{i,j}$ が導通して、上記セット端子 S バーが所定の電位（この場合は、駆動電圧 V_{CC} ）に固定され、セット入力が阻止される。これらの結果、上記開始信号 SP は、何ら支障なく、伝送される。なお、例えば、最終段の SR フリップフロップ $F1(i,K)$ など、リセットされた後には、クロック信号 CK_i が供給されない SR フリップフロップ $F1$ では、上記スイッチ SW を介さず、直接、クロック信号 CK_i を入力してもよい。

【0120】

上記構成では、第 1 の実施形態に示すように、各 SR フリップフロップ $F1$ 毎にレベルシフタ 13 を設ける場合に比べれば、レベルシフタ 13 と SR フリップフロップ $F1$ との距離は長くなるが、単一のレベルシフタから全ての SR フリップフロップへクロック信号 CK を供給する従来技術に比べれば、両者間の距離を短縮でき、バッファを削減できるので、第 1 の実施形態と略同様に、消費電力の少ないシフトレジスタ 11a を実現できる。

【0121】

ここで、ブロック B に含まれる SR フリップフロップ $F1$ の数を増加させると、シフトレジスタ 11a に含まれるレベルシフタ 13 の数を削減できるので、回路構成を簡略化できる。一方、SR フリップフロップ $F1$ の数を増加させ過ぎると、レベルシフタ 13 の駆動能力が不足して、バッファが必要になるので、消費電力が増大してしまう。したがって、余り消費電力を増加させずに、回路規模の削減が要求される場合にはバッファを設けずに、レベルシフタ 13 (i) がクロック信号 $CK(i)$ を供給できる範囲内に、各ブロック B 内の SR フリップフロップ $F1$ の数を設定する方が望ましい。

【0122】

なお、上記実施形態では、OR回路G2でレベルシフト13の動作/停止を制御する場合を例にして説明したが、図13に示すレベルシフト24と同様、図18に示すように、レベルシフト14自体がOR回路G2への各入力信号に基づいて、動作/停止を決定してもよい。当該レベルシフト14は、例えば、図19に示すように、図14に示すレベルシフト24において、入力と同数（この場合は、K個）だけ、各トランジスタN21～P41を設けた回路で実現できる。

【0123】

〔第4の実施形態〕

以下では、図20ないし図24を参照して、複数のDフリップフロップ毎に、レベルシフトが設けられている場合について説明する。すなわち、図20に示すように、本実施形態に係るシフトレジスタ21bは、図8に示すシフトレジスタ21に類似しているが、N個のDフリップフロップF2がK個のDフリップフロップF2毎に分けられ、複数のブロック $B_1 \sim B_P$ に分割されている。さらに、レベルシフト23は、各ブロックB毎に設けられている。

【0124】

さらに、本実施形態では、各ブロック B_i 毎に、レベルシフト23 $_{(i)}$ へ制御信号 ENA_i を指示するOR回路G3 $_{(i)}$ が設けられている。当該OR回路G3 $_{(i)}$ は、 $(K+1)$ 入力のOR回路であり、当該ブロック B_i 内のDフリップフロップ $F2_{(i,1)} \cdots F2_{(i,K)}$ の各入出力の論理和を算出して、上記レベルシフト23 $_{(i)}$ へ出力する。ここで、最前段のDフリップフロップ $F2_{(i,1)}$ への入力信号は、最前段のブロック B_1 では、開始信号SPであり、2段目以降のブロック B_i では、前段のブロック B_{i-1} の出力信号である。上記OR回路G3は、例えば、図21に示すように、図12に示すOR回路G1において、トランジスタP61の個数とトランジスタN62の個数とを入力の数（この場合は、 $K+1$ 個）に増加させた回路によって実現できる。

【0125】

これにより、図22に示すように、当該ブロック B_i 内のDフリップフロップ $F2_{(i,1)} \cdots F2_{(i,K)}$ のいずれかがクロック信号 CK_i の入力を必要とする間

、すなわち、当該ブロック B_i へのパルス入力開始された時点から最終段の D フリップフロップ $F2(i,K)$ がパルス出力を終了する時点までの期間、レベルシフタ $23(i)$ への制御信号 ENA_i がハイレベルとなり、レベルシフタ $23(i)$ は、クロック信号 CK_i を出力できる。また、残余の期間は、制御信号 ENA_i がローレベルになるので、レベルシフタ $23(i)$ は、動作を停止できる。

【0126】

上記構成では、第2の実施形態に示すシフトレジスタ21のように、各Dフリップフロップ $F2$ 毎にレベルシフタ23を設ける場合に比べれば、レベルシフタ23とDフリップフロップ $F2$ との距離は長くなるが、単一のレベルシフタから全てのDフリップフロップへクロック信号 CK を供給する従来技術に比べれば、両者間の距離を短縮でき、バッファを削減できるので、第2の実施形態と略同様に、消費電力の少ないシフトレジスタ21bを実現できる。

【0127】

さらに、第3の実施形態と同様に、本実施形態では、上記シフトレジスタ21よりも、レベルシフタ23の数を削減できる。さらに、余り消費電力を増加させずに、回路規模の削減が要求される場合には、バッファを設けずにレベルシフタ $23(i)$ がクロック信号 CK_i を供給できる範囲内に、各ブロック B_i 内のDフリップフロップ $F2$ の数を設定する方が望ましい。

【0128】

また、図20では、OR回路 $G3$ でレベルシフタ23の動作/停止を制御する場合を例にして説明したが、図18に示すシフトレジスタ11bと同様、図23に示すシフトレジスタ21cのように、レベルシフタ25自体がOR回路 $G3$ への各入力信号に基づいて、動作/停止を制御してもよい。当該レベルシフタ25は、例えば、図24に示すように、図19に示すレベルシフタ14において、入力と同数（この場合は、 $K+1$ 個）だけ、各トランジスタ $N21 \sim P41$ を設けた回路で実現できる。

【0129】

〔第5の実施形態〕

ところで、上記第3（第4）の実施形態では、レベルシフタあるいはOR回路

が K 、 $(K+1)$ 個の信号を論理和して、レベルシフタの動作/停止を制御する場合について説明した。これに対して、本実施形態では、ラッチ回路を用いて、レベルシフタの動作/停止を制御する場合について、図25～図29を参照しながら説明する。

【0130】

具体的には、図25に示すように、本実施形態に係るシフトレジスタ11cでは、図15に示すシフトレジスタ11aのOR回路 $G2(i)$ に代えて、ラッチ回路 $31(i)$ が設けられている。当該ラッチ回路 31 は、当該ブロック B_i の最前段のSRフリップフロップ $F1(i,1)$ へのパルス入力と、最終段のSRフリップフロップ $F1(i,K)$ のパルス出力とをトリガとして出力を変化させるように構成されており、上記パルス入力が増加された時点から、上記パルス出力が増加された時点までの間、レベルシフタ $13(i)$ へ動作を指示できる。

【0131】

上記ラッチ回路 31 は、例えば、最初のブロック B_1 を例にすると、図26に示すように、負論理のセット信号 S バーとして、インバータ $31a$ で反転された開始信号 SP が印加され、正論理のリセット信号 R として、最終段のSRフリップフロップ $F1(1,K)$ の出力 $S_{1,K}$ が印加されるSRフリップフロップ $31b$ を備えている。なお、次段以降のブロック B_i では、開始信号 SP に代えて、前段のブロック B_{i-1} の出力が印加される。

【0132】

上記構成では、図27に示すように、ラッチ回路 $31(i)$ は、最前段のSRフリップフロップ $F1(i,1)$ への入力がハイレベルへと変化した時点から、出力 $S_{i,K}$ がハイレベルへ変化するまでの間、制御信号 ENA_i をハイレベルに設定する。これにより、レベルシフタ $13(i)$ は、当該期間中、クロック信号 CK_i を供給し続けることができる。また、出力 $S_{i,K}$ がハイレベルへと変化するすると、制御信号 ENA_i がローレベルとなり、レベルシフタ $13(i)$ が動作を停止する。この結果、第3の実施形態と同様に、従来よりも少ない消費電力のシフトレジスタ11cを実現できる。

【 0 1 3 3 】

さらに、本実施形態に係るラッチ回路 3 1 (i) は、第 3 の実施形態の O R 回路 G 2 (i) (レベルシフタ 1 4 (i)) のように K 個の信号に基づいてレベルシフタ 1 3 (i) (1 4 (i)) の動作/停止を判定する場合とは異なり、ブロック B_i 内の S R フリップフロップ F 1 の段数 K に拘わらず、2 つの信号をトリガとして、制御信号 E N A_i を生成している。したがって、判定に必要な信号を伝送する信号線の本数を 2 本に削減できる。ここで、判定用の信号線の本数が増加すると、出力 S_{i,j} やクロック信号 C K · C K_i を伝送する信号線との交差点が増加して、各信号線の容量が増加する虞れがある。ところが、本実施形態では、判定用の信号線が 2 本に削減されているので、第 3 の実施形態よりも判定用の信号線に起因する配線容量の増加を抑制でき、さらに、消費電力の小さなシフトレジスタ 1 1 c を実現できる。

【 0 1 3 4 】

なお、図 2 6 では、ラッチ回路 3 1 (i) が S R フリップフロップから構成される場合を例にして説明したが、これに限るものではない。2 つの信号をトリガにして、レベルシフタ 1 3 (i) の動作/停止を制御できれば、上記ラッチ回路 3 1 (i) に代えて、例えば、図 2 8 に示すラッチ回路 3 2 を用いても、同様の効果が得られる。

【 0 1 3 5 】

上記ラッチ回路 3 2 には、2 分周器を構成する 2 つの D フリップフロップ 3 2 a · 3 2 b と、開始信号 S P および出力 S_{1,K} の論理和の否定を算出する N O R 回路 3 2 c と、N O R 回路 3 2 c の出力を反転するインバータ 3 2 d とが設けられている。上記 D フリップフロップ 3 2 a の出力 Q は、D フリップフロップ 3 2 b を介して、D フリップフロップ 3 2 a へ入力されている。また、D フリップフロップ 3 2 a には、インバータ 3 2 d の出力 L_{SET} がクロックとして印加され、D フリップフロップ 3 2 b には、N O R 回路 3 2 c の出力がクロックとして印加される。さらに、D フリップフロップ 3 2 a の出力 L_{OUT} が制御信号 E N A₁ として出力される。この結果、図 2 9 に示すように、ラッチ回路 3 2 (i) は、上記ラッチ回路 3 1 (i) と同様に、最前段の S R フリップフロップ F 1 (i,1) へパル

ス入力開始されてから、出力 $S_{i,K}$ の立ち上がり時点まで、ハイレベルの制御信号 ENA_i を出力して、レベルシフタ 13 (i) に動作を指示できる。

【0136】

なお、本実施形態では、ラッチ回路 (31・32) のトリガとして、最前段の SR フリップフロップ $F1_{(i,1)}$ へのパルス入力の開始と、最終段の SR フリップフロップ $F1_{(i,K)}$ のパルス出力の開始とを用いたが、これに限るものではない。ブロック B_i 内の SR フリップフロップ $F1$ がクロック信号 CK_i を必要とする期間よりも前のタイミングで制御信号 ENA_i をアクティブに設定可能な信号と、当該期間の後のタイミングで制御信号 ENA_i をインアクティブに設定可能な信号とをトリガとすれば、同様の効果が得られる。

【0137】

〔第6の実施形態〕

本実施形態では、D フリップフロップを用いたシフトレジスタにおいて、ラッチ回路でレベルシフタの動作/停止を制御する構成について、図30ないし図34を参照して説明する。

【0138】

すなわち、本実施形態に係るシフトレジスタ 21 d では、図20に示すシフトレジスタ 21 b の OR 回路 $G3_{(i)}$ に代えて、図25に示すラッチ回路 31 (i) と略同様、最前段の D フリップフロップ $F2_{(i,1)}$ へのパルス入力と、最終段の D フリップフロップ $F2_{(i,K)}$ のパルス出力とをトリガとするラッチ回路 33 (i) が設けられている。ただし、上述したように、D フリップフロップの場合は、最終段の D フリップフロップ $F2_{(i,K)}$ がパルス出力を停止するまでの間、クロック信号 CK_i が必要なので、上記ラッチ回路 33 (i) は、上記パルス入力開始された時点から、上記パルス出力が停止された時点までの間、レベルシフタ 23 (i) へ動作を指示するように構成されている。

【0139】

具体的には、上記ラッチ回路 33 は、最初のブロック B_1 を例にすると、例えば、図31に示すように、図26に示すラッチ回路 31 に加えて、出力信号 L_{OUT} と、最終段の出力 $S_{1,K}$ との論理和の否定を算出する NOR 回路 33 c と、算

出結果を反転するインバータ 33d とを備えている。なお、次段以降のブロック B_i では、開始信号 SP に代えて、前段のブロック B_{i-1} の出力が印加される。

【0140】

上記構成では、図 32 に示すように、ラッチ回路 33₍₁₎ は、最前段の D フリップフロップ $F2_{(1,1)}$ への入力が高レベルへと変化した時点から、出力 $S_{1,K}$ がローレベルへ変化するまでの間、制御信号 ENA_1 を高レベルに設定する。これにより、レベルシフタ 23₍₁₎ は、当該期間中、クロック信号 CK_1 を供給し続けることができる。また、出力 $S_{1,K}$ がローレベルへと変化するすると、制御信号 ENA_1 がローレベルとなり、レベルシフタ 23₍₁₎ が動作を停止する。この結果、第 4 の実施形態と同様に、従来よりも少ない消費電力のシフトレジスタ 21d を実現できる。

【0141】

さらに、本実施形態では、第 5 の実施形態と同様に、レベルシフタ 23 の動作／停止の判定に必要な信号線数を削減できるので、第 4 の実施形態よりも判定用の信号線に起因する配線容量の増加を抑制でき、さらに、消費電力の小さなシフトレジスタ 21d を実現できる。

【0142】

なお、図 31 では、ラッチ回路 33 が SR フリップフロップから構成される場合を例にして説明したが、これに限るものではない。2 つの信号をトリガにして、レベルシフタ 13 の動作／停止を制御できれば、上記ラッチ回路 31_(i) に代えて、例えば、図 33 に示すラッチ回路 34 を用いても、同様の効果が得られる。

【0143】

当該ラッチ回路 34 では、図 31 に示す NOR 回路 33c およびインバータ 33d が、図 28 に示すラッチ回路 32 に付加されている。この結果、図 34 に示すように、ラッチ回路 34 は、上記ラッチ回路 33 と同様に、ブロック B_i の最前段の D フリップフロップ $F2_{(i,1)}$ へパルス入力開始された時点から、最終段の D フリップフロップ $F2_{(i,K)}$ がパルス出力を終了した時点まで、高レベルの制御信号 ENA_i を出力して、レベルシフタ 23_(i) に動作を指示できる。

【0 1 4 4】

なお、本実施形態では、ラッチ回路（3 3～3 4）のトリガとして、最前段の D フリップフロップ $F 2_{(i,1)}$ へのパルス入力の開始と、最終段の D フリップフロップ $F 2_{(i,K)}$ のパルス出力の終了とを用いたが、これに限るものではない。ブロック B_i 内の D フリップフロップ $F 2$ がクロック信号 CK_i を必要とする期間よりも前のタイミングで制御信号 ENA_i をアクティブに設定可能な信号と、当該期間の後のタイミングで制御信号 ENA_i をインアクティブに設定可能な信号とをトリガとすれば、同様の効果が得られる。

【0 1 4 5】

〔第 7 の実施形態〕

以下では、図 3 5 を参照して、上記第 4 および第 6 の実施形態と同様、レベルシフタ 2 3（2 4、2 5）が複数の D フリップフロップ $F 2$ へクロック信号 CK を供給するシフトレジスタ 2 1 b～2 1 d において、さらに消費電力を削減可能な構成について説明する。

【0 1 4 6】

具体的には、本実施形態に係るシフトレジスタは、上記シフトレジスタ 2 1 b～2 1 d と同様の構成であるが、各 D フリップフロップ $F 2_{(i,j)}$ 毎にクロック信号制御回路 2 6 (i,j) が設けられており、レベルシフタ 2 3 (i) （2 4 (i) 、2 5 (i) ：以下では、2 3 (i) で代表する）は、クロック入力が必要な D フリップフロップ $F 2$ のみに昇圧後のクロック信号 $CK_{(i)}$ を供給している。

【0 1 4 7】

上記クロック信号制御回路 2 6 (i,j) は、図 3 5 に示すように、クロック信号 CK_i が伝送される信号線上に設けられたスイッチ $SW 1_{(i,j)}$ と、クロック信号 CK_i の反転信号 CK_i バーの伝送線上に設けられたスイッチ $SW 2_{(i,j)}$ とを備えている。両スイッチ $SW 1_{(i,j)}$ ・ $SW 2_{(i,j)}$ は、図 8 に示すレベルシフタ 2 3 (i,j) と同様、D フリップフロップ $F 2_{(i,j)}$ の入出力の論理和を算出する OR 回路 $G 1_{(i,j)}$ によって制御され、D フリップフロップ $F 2_{(i,j)}$ がクロック信号 CK_i （ CK_i バー）を必要とするときに導通すると共に、クロック入力が不要な場合に遮断される。さらに、クロック信号制御回路 2 6 (i,j) には

、Dフリップフロップ $F2(i,j)$ のクロック入力端子と接地電位との間に設けられたN型のMOSトランジスタ $N71(i,j)$ と、Dフリップフロップ $F2(i,j)$ の反転クロック入力端子と駆動電圧 V_{CC} との間に設けられたP型のMOSトランジスタ $P72(i,j)$ とが設けられている。上記トランジスタ $N71(i,j)$ のゲートには、OR回路 $G1(i,j)$ の出力がインバータ $INV71(i,j)$ で反転された後で印加されており、上記トランジスタ $P72(i,j)$ のゲートには、OR回路 $G1(i,j)$ の出力が印加される。

【0148】

上記構成では、対応するDフリップフロップ $F2(i,j)$ が昇圧後のクロック信号 CK_i (CK_i バー) を必要な期間、上記スイッチ $SW1(i,j)$ ($SW2(i,j)$) が導通して該Dフリップフロップ $F2(i,j)$ へクロック信号 CK_i (CK_i バー) を印加する。一方、クロック入力が必要な期間には、上記スイッチ $SW1(i,j) \cdot SW2(i,j)$ が遮断され、例えば、Dフリップフロップ $F2(i,j)$ など、両スイッチ $SW1(i,j) \cdot SW2(i,j)$ 以降の回路と、レベルシフタ $23(i)$ とを切り離す。さらに、クロック入力が必要な期間には、上記両トランジスタ $N71(i,j) \cdot P72(i,j)$ が導通して、Dフリップフロップ $F2(i,j)$ のクロック入力端子および反転入力端子をそれぞれ所定の値（ローレベルおよびハイレベル）に維持するので、上記両入力端子が不定の場合とは異なり、Dフリップフロップ $F2(i,j)$ の誤動作を抑制できる。

【0149】

上記構成によれば、クロック入力が必要な期間中、両スイッチ $SW1(i,j) \cdot SW2(i,j)$ 以降の回路と、レベルシフタ $23(i)$ とが切り離されるので、レベルシフタ $23(i)$ は、現時点でクロック信号 $CK(i)$ を必要とするDフリップフロップ $F2(i,j)$ のみを駆動すればよい。したがって、ブロック B_i 内の全Dフリップフロップ $F2(i,1) \sim F2(i,K)$ を駆動する場合に比べて、レベルシフタ $23(i)$ の負荷容量を大幅に削減でき、消費電力を削減できる。この結果、消費電力の小さなシフトレジスタを実現できる。

【0150】

なお、上記では、Dフリップフロップ $F2(i,j)$ 毎にクロック信号制御回路 2

6 (i, j) が設けられている場合を例にして説明したが、これに限るものではなく、例えば、複数の D フリップフロップ F 2 毎にクロック信号制御回路 26 を設けてもよい。この場合、両スイッチ SW1・SW2 は、両スイッチ SW1・SW2 に接続される D フリップフロップ F 2 がクロック入力が必要としている間、すなわち、最前段の D フリップフロップ F 2 へのパルス入力が始動されてから、最終段の D フリップフロップ F 2 がパルス出力を終了するまでの間、導通できるように、例えば、図 20 に示す OR 回路 G 3 や図 30 (図 33) に示すラッチ回路 33 (34) と同様の回路によって制御される。この場合は、各 D フリップフロップ F 2 毎にクロック信号制御回路 26 を設ける構成と比較すると、レベルシフタ 23 (24、25) の負荷容量は大きくなるが、クロック信号制御回路 26 の数を削減できるので、回路構成を簡略化できる。

【0151】

〔第 8 の実施形態〕

ところで、例えば、図 2 に示すデータ信号線駆動回路 3 や走査信号線駆動回路 4 では、上記各実施形態に係るシフトレジスタ (11・11a～11c・21・21a～21d) の各段の出力が、タイミングを示す信号として、直接使用される場合もあるが、複数段の出力を論理演算した信号がタイミング信号として使用されることもある。

【0152】

以下では、第 1・第 3 および第 5 の実施形態のように、SR フリップフロップ F 1 を用いたシフトレジスタにおいて、複数段の出力を論理演算する場合に好適な構成について、図 36 および図 37 を参照しながら説明する。なお、SR フリップフロップ F 1 を用いた構成であれば、他の実施形態にも適用できるが、以下では、第 1 の実施形態の場合を例にして説明する。

【0153】

すなわち、本実施形態に係るシフトレジスタ 11 d は、図 1 に示すシフトレジスタ 11 の構成に加えて、互いに隣接する 2 つの出力 $S_i \cdot S_{i+1}$ の論理積を演算し、演算結果をタイミング信号 SMP_i として出力する AND 回路 G 4 (i) を備えている。さらに、最前段の SR フリップフロップ F 1 (1) の前段には、SR

フリップフロップ $F1_{(0)}$ が設けられ、当該 SR フリップフロップ $F1_{(0)}$ の出力 S_0 と、出力 S_1 との論理積を算出して出力する AND 回路 $G4_{(0)}$ が設けられている。また、SR フリップフロップ $F1_{(0)}$ には、負論理のセット信号として、開始信号 SP の反転信号 SP バーが印加されており、上記 SR フリップフロップ $F1_{(0)}$ の出力は、次段となるレベルシフタ $13_{(1)}$ に制御信号 ENA_1 として入力される。なお、SR フリップフロップ $F1_{(0)}$ は、他段の SR フリップフロップ $F1_{(i)}$ と同様に、伝送するパルス信号のパルス幅に応じた段数（この場合は、2 段）だけ後のレベルシフタ $13_{(2)}$ の出力 CK_2 が印加される。

【0154】

ここで、各 SR フリップフロップ $F1_{(0)}$ 、 $F1_{(1)}$ … の出力 S_0 、 S_1 … のうち、出力 S_0 のみが、単一の AND 回路 $G4_{(0)}$ に接続されており、他の出力 S_i は、2 つの AND 回路 $G4_{(i-1)}$ ・ $G4_{(i)}$ とに接続されている。この結果、SR フリップフロップ $F1_{(0)}$ と、残余の SR フリップフロップ $F1_{(i)}$ とは、出力負荷が異なり、仮に同じタイミングで駆動したとしても、出力 S_0 と残余の出力 S_1 … とは、クロック信号 CK に対する遅延時間が互いに異なってしまう。したがって、クロック信号 CK の周波数が高い場合には、遅延時間のズレに起因するタイミングのバラツキを抑えるため、上記 AND 回路 $G4_{(0)}$ の出力信号は、後段の回路では使用されないダミー信号 DUMMY となり、残余の AND 回路 $G4_{(1)}$ … の出力 SMP_1 … のみが、映像信号抽出に使用される。

【0155】

上記構成において、SR フリップフロップ $F1_{(0)}$ には、他段とは異なり、クロック信号 CK に同期しない反転信号 SP バーが負論理のセット信号として印加されているので、出力 S_0 のタイミング（立ち上がりやパルス幅など）は、他の SR フリップフロップ $F1_{(1)}$ … の出力 S_1 … と異なっている。ところが、上述したように、出力 S_0 は、ダミー信号 DUMMY として後段の回路で使用されない。したがって、出力 S_0 のタイミングが異なっていたとしても、シフトレジスタ $11d$ は、何ら支障なく、所定の時間ずつ、タイミングの異なるタイミング信号 SMP_1 … を出力できる。

【0156】

さらに、上記構成では、SRフリップフロップF1₍₀₎へ反転信号SPバーが印加され、レベルシフタ13が省かれている。したがって、SRフリップフロップF1₍₀₎にもレベルシフタ13を設ける場合に比べて、レベルシフタ13の数を削減できる。

【0157】

なお、上記第1ないし第8の実施形態では、レベルシフタ(13・14・23～25)が電流駆動型の場合を例にして説明したが、図38に示すように電圧駆動型のレベルシフタ41を用いてもよい。当該レベルシフタ41のレベルシフト部41aは、入力スイッチング素子として、クロック信号CKに応じて導通/遮断されるN型のMOSトランジスタN81と、クロック信号CKの反転信号CKバーに応じて導通/遮断されるN型のMOSトランジスタN82とを備えている。各トランジスタN81(N82)のドレインには、負荷となるP型のMOSトランジスタP83(P84)を介して駆動電圧V_{CC}が印加されており、両トランジスタN81・N82のソースは、接地されている。また、上記トランジスタN82・P84の接続点の電位は、レベルシフタ41の出力OUTとして出力されると共に、上記トランジスタP83のゲートへ印加される。同様に、上記トランジスタN81・P83の接続点の電位は、レベルシフタ41の反転出力OUTバーとして出力されると共に、上記トランジスタP84のゲートへ印加される。

【0158】

一方、上記レベルシフタ41には、入力開放スイッチ部(スイッチ)41bとして、N型のMOSトランジスタN91・N92が設けられており、レベルシフタ41の動作中、上記トランジスタN81のゲートには、トランジスタN91を介してクロック信号CKが印加されると共に、上記トランジスタN82のゲートには、トランジスタN92を介してクロック信号CKの反転信号CKバーが印加される。

【0159】

さらに、上記レベルシフタ41には、入力安定部41cとして、N型のMOSトランジスタN93およびP型のMOSトランジスタP94が設けられている。

これにより、レベルシフタ 41 の停止中、上記トランジスタ N81 のゲートは、トランジスタ N93 を介して接地され、上記トランジスタ N82 のゲートには、トランジスタ P94 を介して駆動電圧 V_{CC} が印加される。なお、上記入力安定部 41c は、特許請求の範囲に記載の出力安定手段に対応し、上記両トランジスタ N81・N82 への入力電圧を制御して、出力を安定させる。ここで、レベルシフタ 41 は、電圧駆動型であり、出力 OUT を変化する場合にのみ電力を消費するので、レベルシフタ 41 の停止時に、入力電圧で出力電圧を制御しても電力消費が発生しない。

【0160】

本実施形態では、制御信号 ENA がハイレベルの場合、レベルシフタ 41 の動作を示しているのので、上記トランジスタ N91・N92・P94 のゲートには、制御信号 ENA が印加され、トランジスタ N93 には、制御信号 ENA がインバータ INV91 にて反転された後、印加されている。

【0161】

上記構成では、制御信号 ENA がハイレベルの場合、トランジスタ N91・N92 が導通し、トランジスタ N81・N82 がクロック信号 CK、および、その反転信号 CKバーに応じて導通／遮断する。これにより、出力 OUT は、クロック信号 CK がハイレベルの場合、駆動電圧 V_{CC} のレベルにまで昇圧され、ローレベルの場合、接地レベルとなる。

【0162】

これとは逆に、制御信号 ENA がローレベルの場合には、トランジスタ N93・P94 が導通するので、トランジスタ N81 が遮断、トランジスタ N82 が導通する。この結果、出力 OUT は接地レベルに保たれ、反転出力 OUTバーは、駆動電圧 V_{CC} に維持される。また、この状態では、両トランジスタ N91・N92 が遮断されているので、入力スイッチング素子としてのトランジスタ N81 (N82) のゲートは、クロック信号 CK (CKバー) の伝送線から切り離される。これにより、例えば、図 2 に示す制御回路 5 など、クロック信号 CK (CKバー) の駆動回路の負荷容量および消費電力を削減できる。

【0163】

なお、図38では、レベルシフタ13・23と同様、1つの制御信号ENAで動作／停止を制御する場合を例にして説明したが、上記レベルシフタ14・24・25と同様に、トランジスタN91～P94・インバータINV91の数を制御信号ENAの数に応じて増加させれば、複数の制御信号ENAで動作／停止を制御できる。

【0164】

上記構成のレベルシフタ41を用いた場合であっても、レベルシフタ41が複数設けられており、クロック出力が不要なレベルシフタ41の少なくとも1つが停止するので、単一のレベルシフタがシフトレジスタの全フリップフロップへクロック信号を供給する場合に比べて、各レベルシフタの負荷容量を削減でき、シフトレジスタの消費電力を削減できる。

【0165】

ただし、上記第1ないし第8の実施形態に示す電流駆動型のレベルシフタ13（14・23～25：以下では、レベルシフタ13で代表する）は、動作中、入力スイッチング素子（P11・P12）へ常時電流が流れているので、クロック信号CKの振幅が入力スイッチング素子（トランジスタN81・N82）のしきい値よりも低く、レベルシフタ41が動作できない場合であっても、何ら支障なく、クロック信号CKを昇圧できる。また、クロック出力の要否に応じて、レベルシフタ13を停止させているので、出力を変化させない場合であっても電力を消費するレベルシフタ13が複数設けられているにも拘わらず、消費電力の増大を抑制できる。したがって、電流駆動型のレベルシフタ13を用いる方が望ましい。

【0166】

なお、上記第3ないし第7の実施形態では、K個のフリップフロップ（F1・F2）毎にレベルシフタ（13・14・23～25）を設ける場合を例にして説明したが、シフトレジスタが複数のブロックに分割され、各ブロック毎にレベルシフタが設けられていれば、各ブロックに含まれるフリップフロップの数が同じでなくても、略同様の効果が得られる。

【0167】

さらに、上記各実施形態では、シフトレジスタの適用例として、画像表示装置を例にして説明したが、シフトレジスタの駆動電圧よりも低い振幅のクロック信号CKが与えられる用途であれば、本発明に係るシフトレジスタを広く適用できる。ただし、画像表示装置では、解像度の向上と表示面積の拡大とが強く求められているため、シフトレジスタの段数が多く、かつ、レベルシフタの駆動能力を十分に確保できないことが多い。したがって、画像表示装置の駆動回路に適用した場合は、特に効果的である

【0168】

【発明の効果】

本発明に係るシフトレジスタは、以上のように、フリップフロップが少なくとも1つのフリップフロップからなる複数のブロックに分けられ、駆動電圧よりも小さな振幅のクロック信号を昇圧するレベルシフタは、当該各ブロック毎に設けられていると共に、上記複数のレベルシフタのうち、その時点で上記入力パルスの伝送に上記クロック信号の入力を必要としないブロックに対応するレベルシフタの少なくとも1つは停止する構成である。

【0169】

当該構成では、シフトレジスタに複数のレベルシフタが設けられているので、各レベルシフタからフリップフロップへの距離を短縮できる。また、複数のレベルシフタのうち、少なくとも1つは、動作を停止している。これらの結果、低電圧のクロック信号入力で動作可能で、かつ、低消費電力なシフトレジスタを実現できるという効果を奏する。

【0170】

本発明に係るシフトレジスタは、上記構成において、上記各レベルシフタは、対応するブロック中に、その時点でクロック信号の入力を必要としているフリップフロップが含まれている期間にのみ動作する構成である。

【0171】

当該構成によれば、入力パルスの伝送に必要なレベルシフタのみが動作するので、他のレベルシフタが動作する場合に比べて、シフトレジスタの消費電力を大

幅に削減できる。

【0172】

本発明に係るシフトレジスタは、上記構成において、上記ブロックのうちの特定ブロックに対応する特定レベルシフタは、当該特定ブロックへのパルス入力開始された時点で動作を開始し、当該特定ブロックの最終段のセット・リセット・フリップフロップがセットされた後に動作を停止する構成である。

【0173】

当該構成によれば、特定レベルシフタは、特定ブロックのセット・リセット・フリップフロップへのクロック信号の入力が不要な場合には、動作を停止する。この結果、フリップフロップがDフリップフロップの場合よりも高速で動作可能なレベルシフタにおいて、消費電力を削減できるという効果を奏する。

【0174】

本発明に係るシフトレジスタは、上記構成において、上記特定ブロック内のセット・リセット・フリップフロップが1つの場合には、上記特定レベルシフタは、上記特定ブロックへのパルス入力開始された時点で動作を開始し、パルス入力終了した時点で動作を停止する構成である。

【0175】

当該構成によれば、前段のフリップフロップの出力自体を用いて、特定レベルシフタの動作/停止を制御できるので、シフトレジスタの構成を簡略化できるという効果を奏する。

【0176】

本発明に係るシフトレジスタは、上記構成において、特定ブロック内のフリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへパルス入力されている間、および、当該特定ブロック内の最終段を除くフリップフロップのいずれかがパルス出力している間に動作する構成である。

【0177】

当該構成によれば、特定ブロックへの入力および特定ブロック内のフリップフロップの出力に基づいて、特定レベルシフタの動作/停止を制御できるので、簡単に動作速度の速いシフトレジスタを実現できるという効果を奏する。

【0178】

本発明に係るシフトレジスタは、上記構成において、特定ブロック内のフリップフロップが複数の場合、上記特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいる構成である。

【0179】

当該構成によれば、特定レベルシフタの動作／停止のトリガとなる2つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作／停止が制御されるので、フリップフロップ数が多い場合でも簡単な回路構成のシフトレジスタを実現できるという効果を奏する。

【0180】

本発明に係るシフトレジスタは、上記構成において、特定ブロックがDフリップフロップを含み、特定レベルシフタは、当該特定ブロックへのパルス入力が始まった時点で動作を開始し、当該特定ブロックの最終段のフリップフロップがパルス出力を終了した後に、動作を停止する構成である。

【0181】

当該構成によれば、特定レベルシフタは、特定ブロックのDフリップフロップが動作する際に必要な期間に、レベルシフト後のクロック信号を供給し、Dフリップフロップへのクロック信号の入力が不要な場合には、動作を停止するので、互いに異なるパルス幅の入力パルスを伝送可能で、かつ、消費電力の少ないシフトレジスタを実現できるという効果を奏する。

【0182】

本発明に係るシフトレジスタは、上記構成において、特定ブロック内に複数のDフリップフロップを含み、特定レベルシフタは、上記特定ブロックへ入力される信号と、上記特定ブロックの最終段のフリップフロップの出力信号とに応じて、出力を変化させるラッチ回路を含んでいる構成である。

【0183】

当該構成によれば、2つの信号に基づいて、ラッチ回路の出力が変化し、特定レベルシフタの動作／停止が制御されるので、特定ブロック内のフリップフロップ

ブ数が多い場合でもシフトレジスタの回路構成を簡略化できるという効果を奏する。

【 0 1 8 4 】

本発明に係るシフトレジスタは、上記構成において、上記レベルシフタは、動作中、上記クロック信号を印加する入力スイッチング素子が常時導通する電流駆動型のレベルシフト部を含んでいる構成である。

【 0 1 8 5 】

当該構成によれば、電流駆動型のレベルシフタのうち、少なくとも1つが動作を停止するので、クロック信号の振幅が入力スイッチング素子のしきい値電圧よりも低い場合でもレベルシフト可能で、かつ、消費電力が少ないシフトレジスタを実現できるという効果を奏する。

【 0 1 8 6 】

本発明に係るシフトレジスタは、上記構成のシフトレジスタにおいて、上記レベルシフト部へ、上記入力スイッチング素子が遮断するレベルの信号を与えて、当該レベルシフタを停止させる入力信号制御部が設けられている構成である。

【 0 1 8 7 】

当該構成によれば、入力信号制御部が入力信号のレベルを制御して、入力スイッチング素子を遮断するので、停止中は、動作中に入力スイッチング素子へ流れる電流の分だけ、消費電力を低減できるという効果を奏する。

【 0 1 8 8 】

本発明に係るシフトレジスタは、上記構成において、上記レベルシフト部への電力供給を停止して、当該レベルシフタを停止させる電力供給制御部を備えている構成である。

【 0 1 8 9 】

当該構成によれば、各レベルシフト部への電力供給を停止して、当該レベルシフタを停止させるので、停止中、動作中にレベルシフタで消費する電力の分だけ、消費電力を低減できるという効果を奏する。

【 0 1 9 0 】

本発明に係るシフトレジスタは、上記各構成において、上記レベルシフタは、

停止時に、予め定められた値に出力電圧を保つ出力安定手段を備えている構成である。

【0191】

当該構成によれば、レベルシフタが停止している間、当該レベルシフタの出力電圧は、出力安定手段によって所定の値に保たれるので、不定な出力電圧に起因するフリップフロップの誤動作を防止でき、より安定したシフトレジスタを実現できるという効果を奏する。

【0192】

本発明に係るシフトレジスタは、上記各構成において、上記レベルシフト部とクロック信号の伝送線との間に、当該レベルシフタが停止している間、開放されるスイッチが設けられている構成である。

【0193】

当該構成では、クロック信号線へ接続される入力スイッチング素子は、動作中のレベルシフタのものに限定されるので、クロック信号線の負荷容量を削減でき、クロック信号線を駆動する回路の消費電力を削減できるという効果を奏する。

【0194】

本発明に係る画像表示装置は、以上のように、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方は、上述のいずれかの構成のシフトレジスタを備えている構成である。

【0195】

当該構成によれば、データ信号線駆動回路および走査信号線駆動回路の少なくとも一方に、上記各構成のシフトレジスタを備えているので、消費電力が少ない画像表示装置を実現できるという効果を奏する。

【0196】

本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、互いに同一の基板上に形成されている構成である。

【0197】

当該構成によれば、データ信号線の数および走査信号線の数が増加しても、基

板外に出す信号線の数が増加しないので、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できるという効果を奏する。

【0198】

本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいる構成である。

【0199】

当該構成では、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、いずれも、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるので、消費電力が少なく、かつ、表示面積の広い画像表示装置を実現できるという効果を奏する。

【0200】

本発明に係る画像表示装置は、上記構成において、上記データ信号線駆動回路、走査信号線駆動回路および各画素は、600度以下のプロセス温度で製造されたスイッチング素子を含んでいる構成である。

【0201】

当該構成によれば、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因するソリやタワミが発生しないので、実装がさらに容易で、より表示面積の広い画像表示装置を実現できるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一実施形態を示すものであり、セット・リセット・フリップフロップを含んで構成されるシフトレジスタの要部構成を示すブロック図である。

【図2】

上記シフトレジスタを用いた画像表示装置の要部構成を示すブロック図である。

【図3】

上記画像表示装置において、画素の構成例を示す回路図である。

【図 4】

上記シフトレジスタの動作を示すタイミングチャートである。

【図 5】

上記シフトレジスタで用いられるセット・リセット・フリップフロップの構成例を示す回路図である。

【図 6】

上記セット・リセット・フリップフロップの動作を示すタイミングチャートである。

【図 7】

上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図 8】

本発明の他の実施形態を示すものであり、Dフリップフロップを含んで構成されるシフトレジスタの要部構成を示すブロック図である。

【図 9】

上記シフトレジスタの動作を示すタイミングチャートである。

【図 1 0】

上記Dフリップフロップの構成例を示す回路図である。

【図 1 1】

上記Dフリップフロップの動作を示すタイミングチャートである。

【図 1 2】

上記シフトレジスタで用いられるOR回路の構成例を示す回路図である。

【図 1 3】

上記シフトレジスタの変形例を示すブロック図である。

【図 1 4】

上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図 1 5】

本発明のさらに他の実施形態を示すものであり、複数のセット・リセット・フリップフロップ毎にレベルシフタが設けられたシフトレジスタを示すブロック図である。

【図 1 6】

上記シフトレジスタで用いられる O R 回路の構成例を示す回路図である。

【図 1 7】

上記シフトレジスタの動作を示すタイミングチャートである。

【図 1 8】

上記シフトレジスタの変形例を示すブロック図である。

【図 1 9】

上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図 2 0】

本発明のまた別の実施形態を示すものであり、複数の D フリップフロップ毎にレベルシフタが設けられたシフトレジスタを示すブロック図である。

【図 2 1】

上記シフトレジスタで用いられる O R 回路の構成例を示す回路図である。

【図 2 2】

上記シフトレジスタの動作を示すタイミングチャートである。

【図 2 3】

上記シフトレジスタの変形例を示すブロック図である。

【図 2 4】

上記シフトレジスタにおいて、レベルシフタの構成例を示す回路図である。

【図 2 5】

本発明のさらに他の実施形態を示すものであり、レベルシフタの動作を制御するためのラッチ回路と、セット・リセット・フリップフロップとを含むシフトレジスタを示すブロック図である。

【図 2 6】

上記ラッチ回路の構成例を示すブロック図である。

【図 2 7】

上記シフトレジスタの動作を示すタイミングチャートである。

【図 2 8】

上記ラッチ回路の他の構成例を示すブロック図である。

【図 2 9】

上記ラッチ回路の動作を示すタイミングチャートである。

【図 3 0】

本発明のまた別の実施形態を示すものであり、上記ラッチ回路と、Dフリップフロップとを含むシフトレジスタを示すブロック図である。

【図 3 1】

上記ラッチ回路の構成例を示すブロック図である。

【図 3 2】

上記シフトレジスタの動作を示すタイミングチャートである。

【図 3 3】

上記ラッチ回路の他の構成例を示すブロック図である。

【図 3 4】

上記ラッチ回路の動作を示すタイミングチャートである。

【図 3 5】

本発明のさらに他の実施形態を示すものであり、各ブロックのレベルシフタが当該ブロック内のDフリップフロップに選択的にクロック信号を供給する場合に設けられるクロック信号制御回路を示す回路図である。

【図 3 6】

本発明のまた別の実施形態を示すものであり、シフトレジスタの要部構成を示すブロック図である。

【図 3 7】

上記シフトレジスタの動作を示すタイミングチャートである。

【図 3 8】

本発明の変形例を示すものであり、電圧駆動型のレベルシフタを示す回路図である。

【図 3 9】

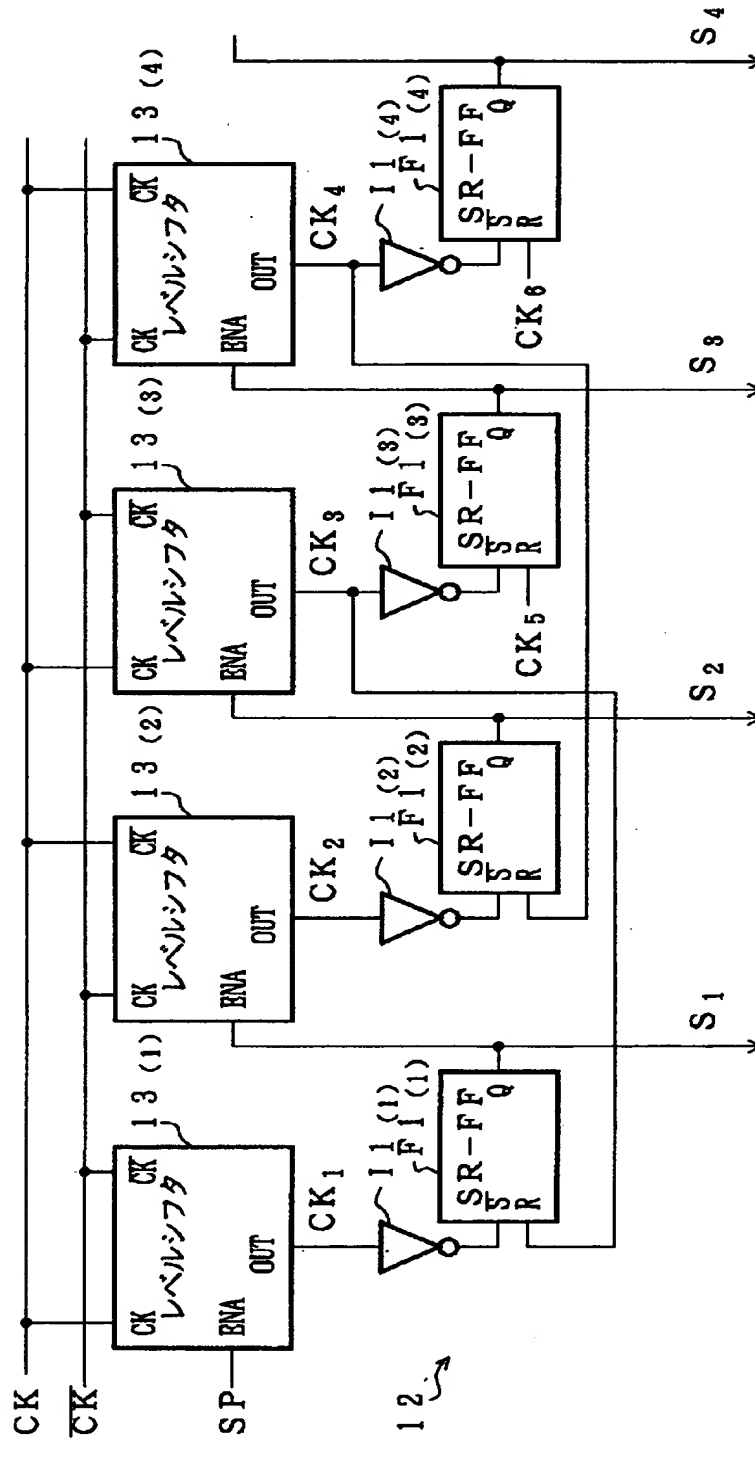
従来例を示すものであり、レベルシフタを含むシフトレジスタを示すブロック図である。

【符号の説明】

- 1 画像表示装置
- 3 データ信号線駆動回路
- 4 走査信号線駆動回路
- 11・11a～11d・21・21a～21c シフトレジスタ
- 13・14・23～25・41 レベルシフタ
- 13a・14a・23a～25a・41a レベルシフト部
- 13b・14b・23b～25b 電力供給制御部
- 13c・14c・23c～25c 入力制御部（スイッチ）
- 13d・14d 入力スイッチング素子遮断制御部（入力信号制御部）
- 13e・14e・23e～25e 出力安定部（出力安定手段）
- 23d～25d 入力スイッチング素子遮断制御部（入力信号制御部）
- 31～34 ラッチ回路
- 41b 入力開放スイッチ部（スイッチ）
- 41c 入力安定部（出力安定手段）
- B₁ … ブロック（特定ブロック）
- F1₍₁₎ … SRフリップフロップ（フリップフロップ）
- F2₍₁₎ … Dフリップフロップ（フリップフロップ）
- P11・P12 トランジスタ（入力スイッチング素子）
- P1X 画素

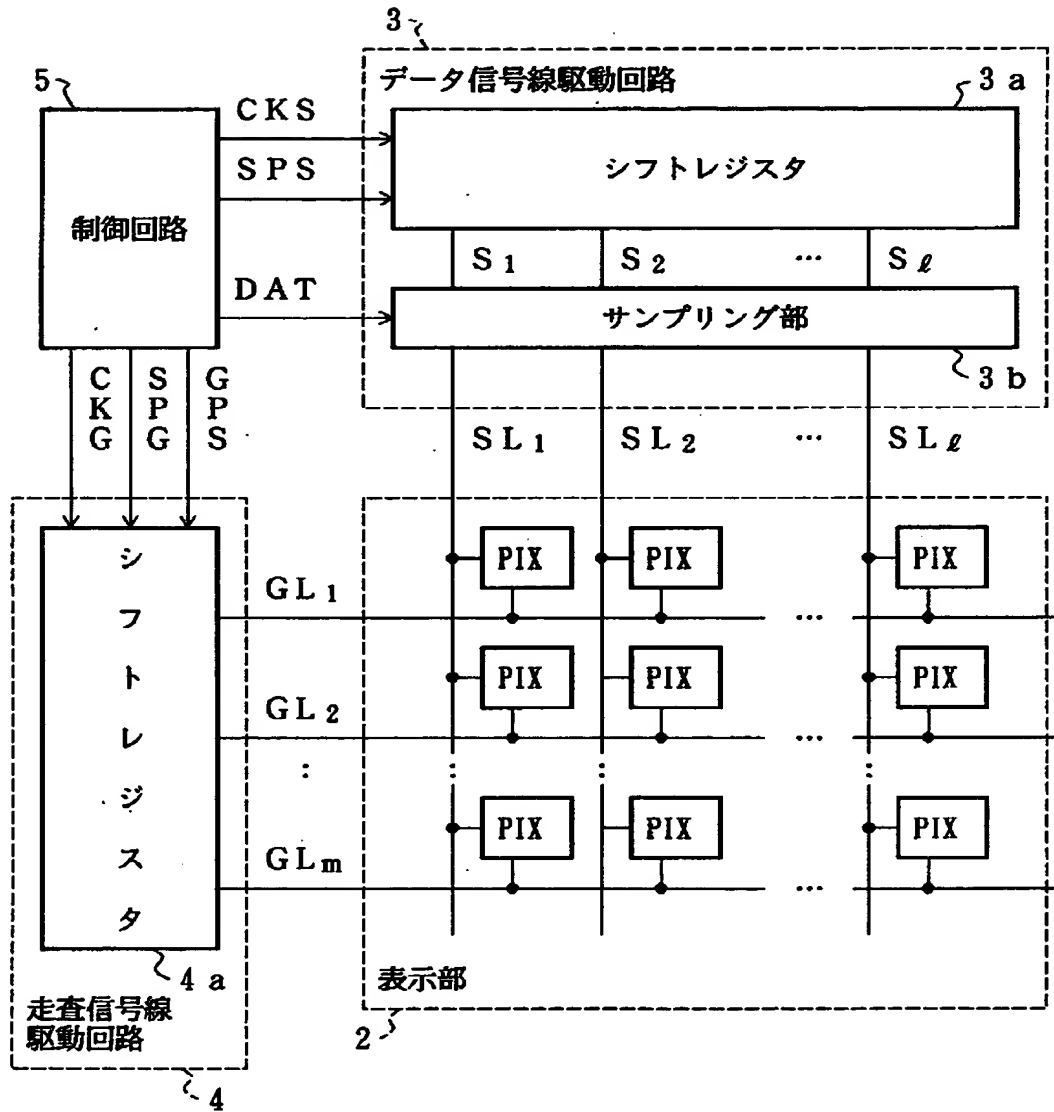
【書類名】 図面

【図 1】

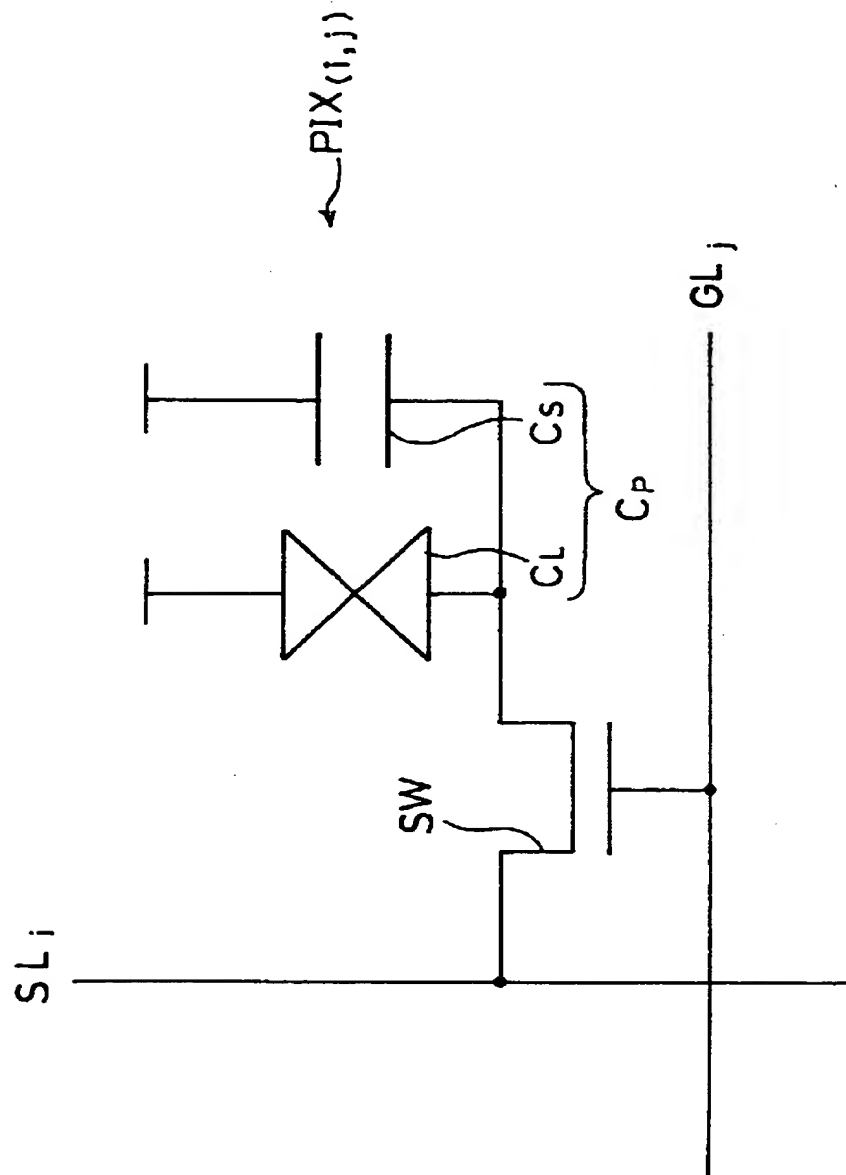


【図 2】

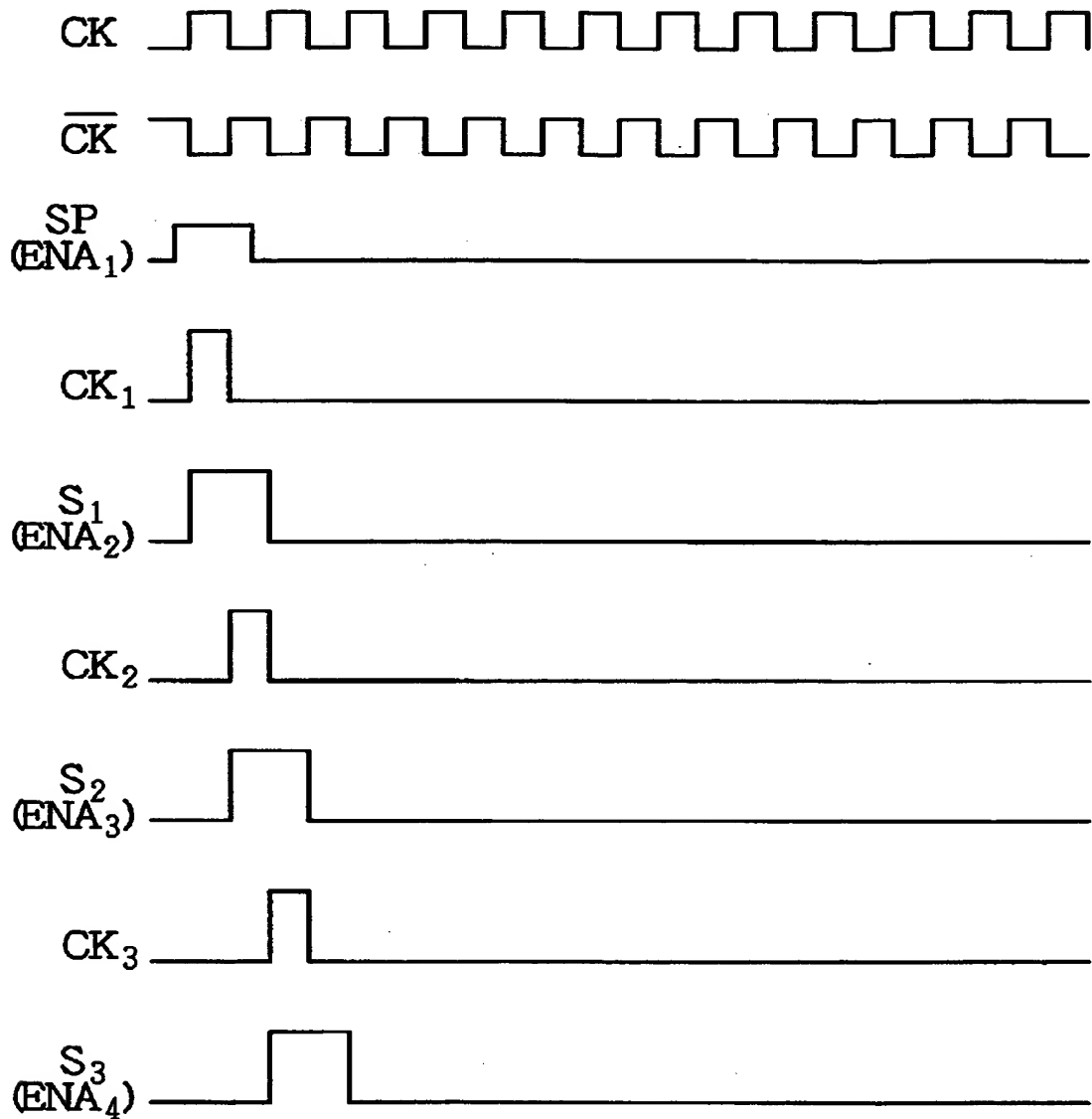
1



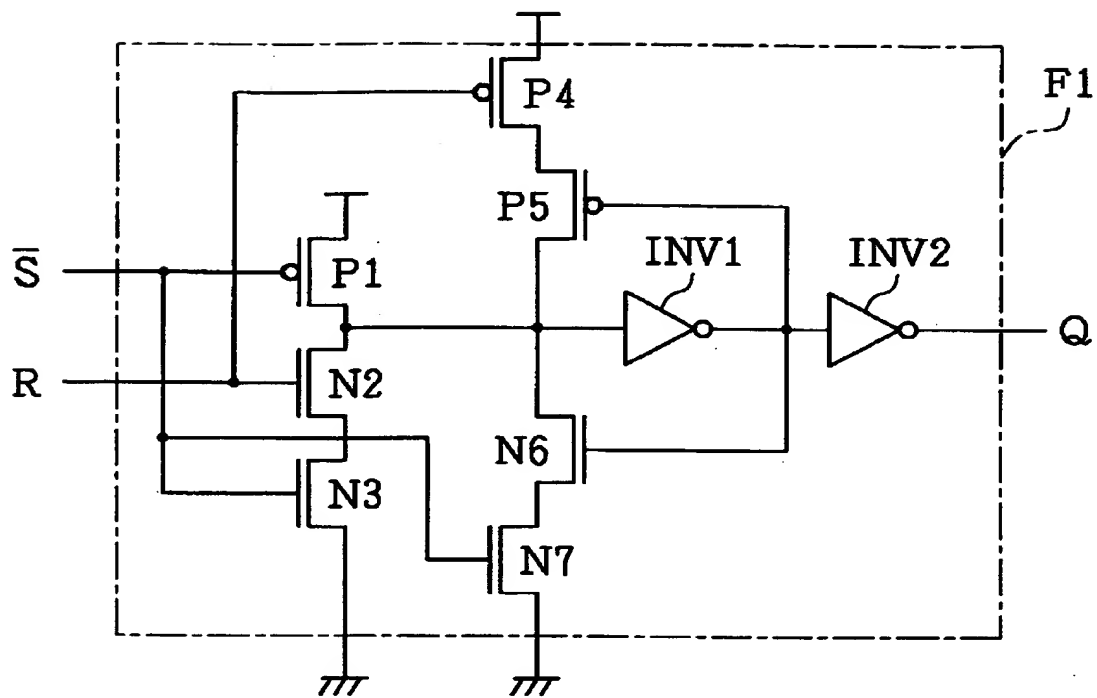
【図 3】



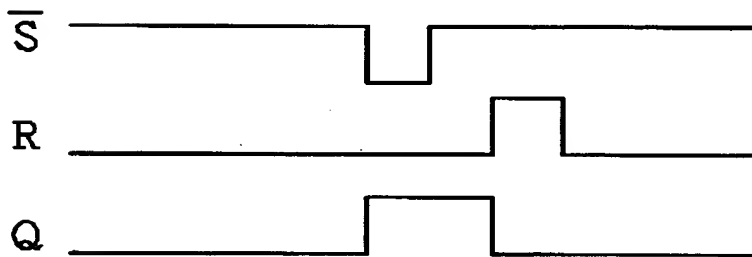
【図 4】



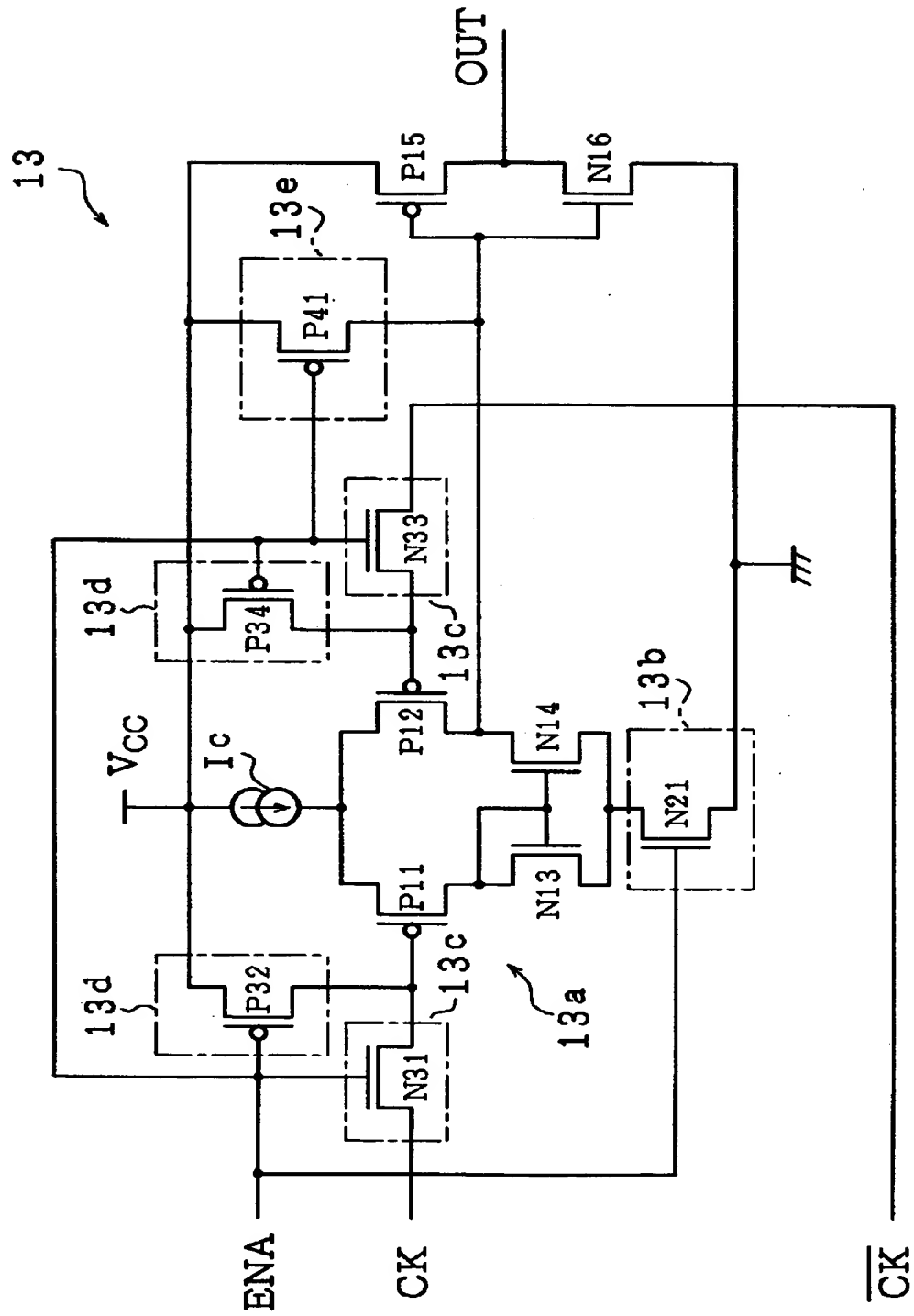
【図 5】



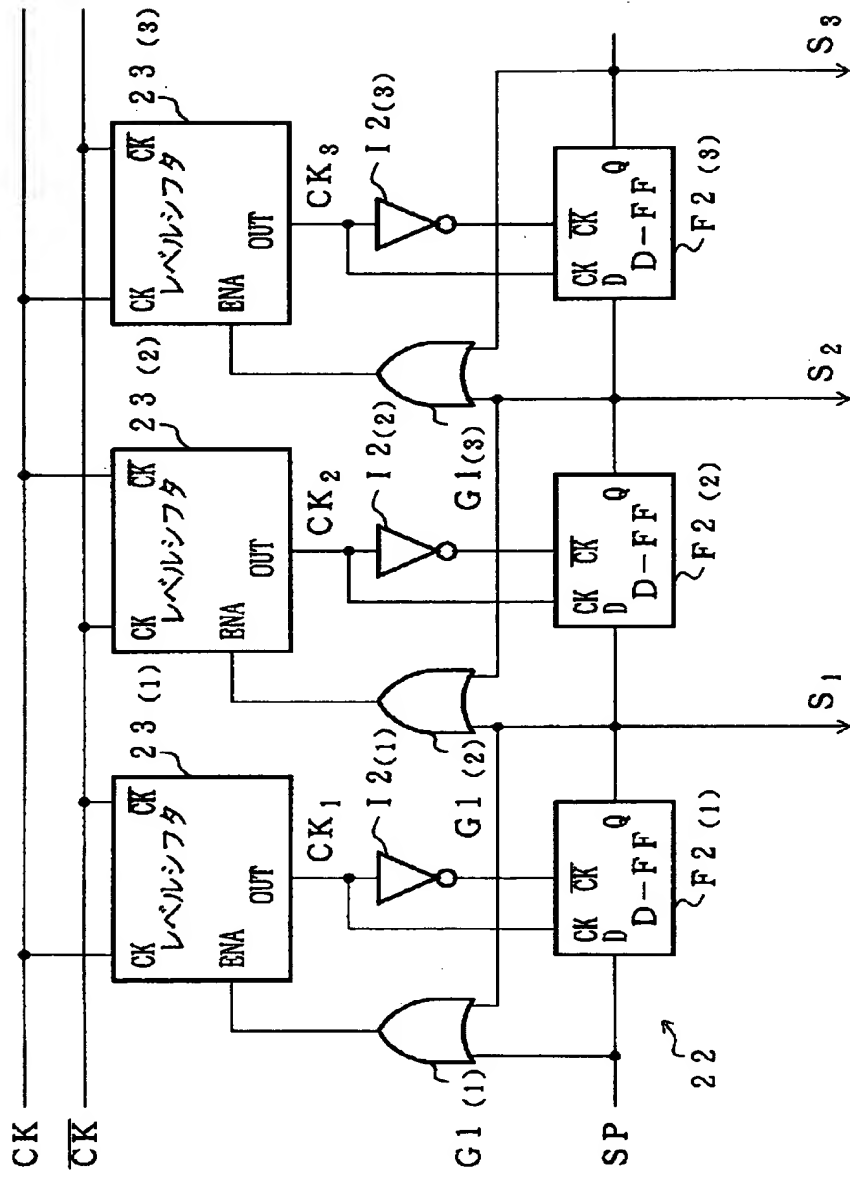
【図 6】



【図 7】

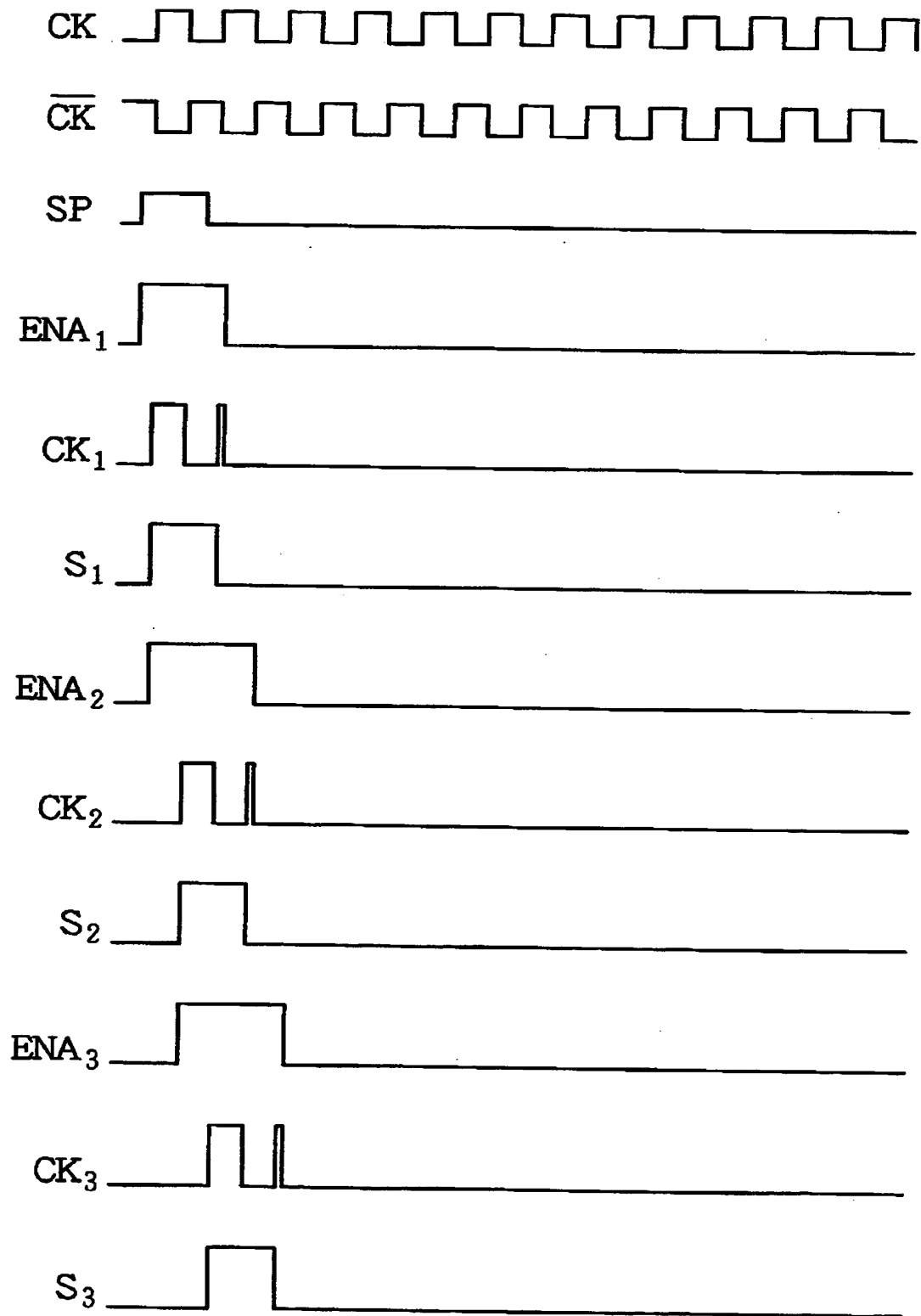


【図 8】

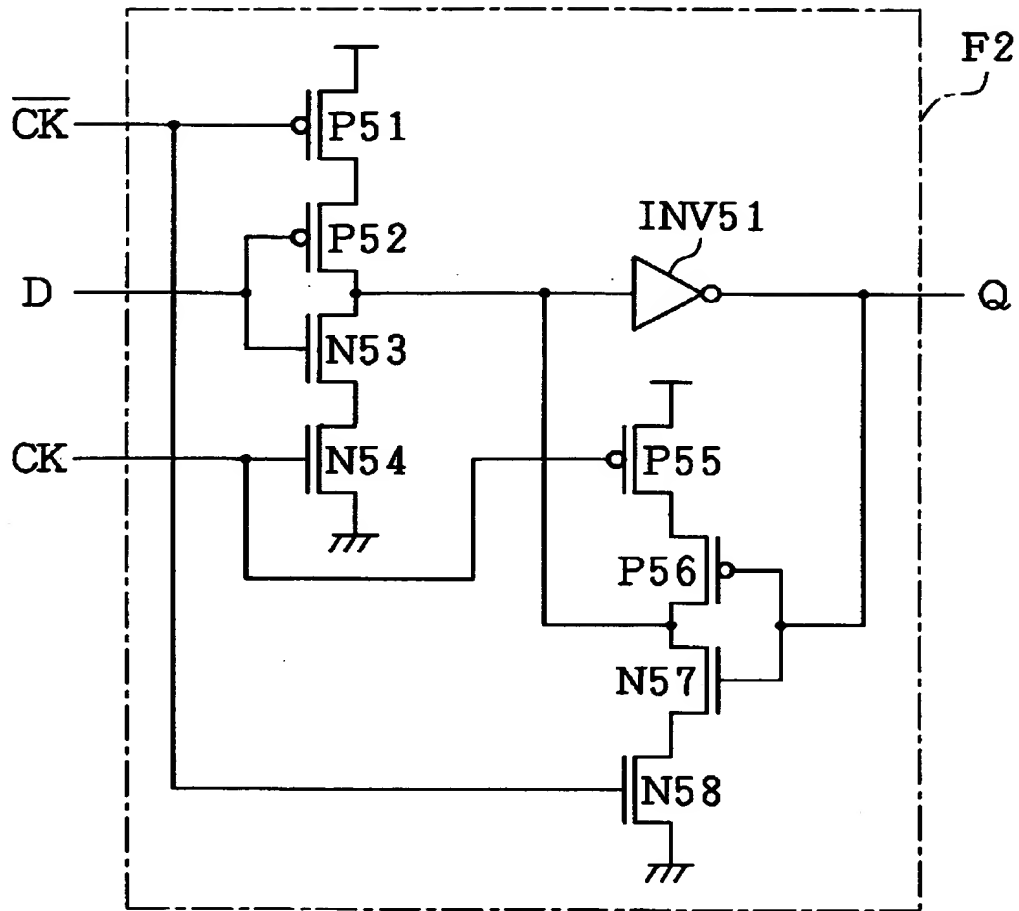


21 ↗

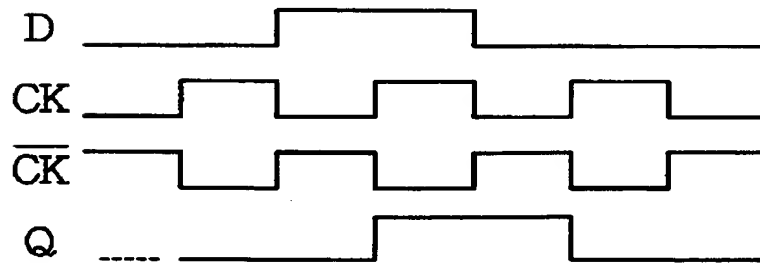
【図 9】



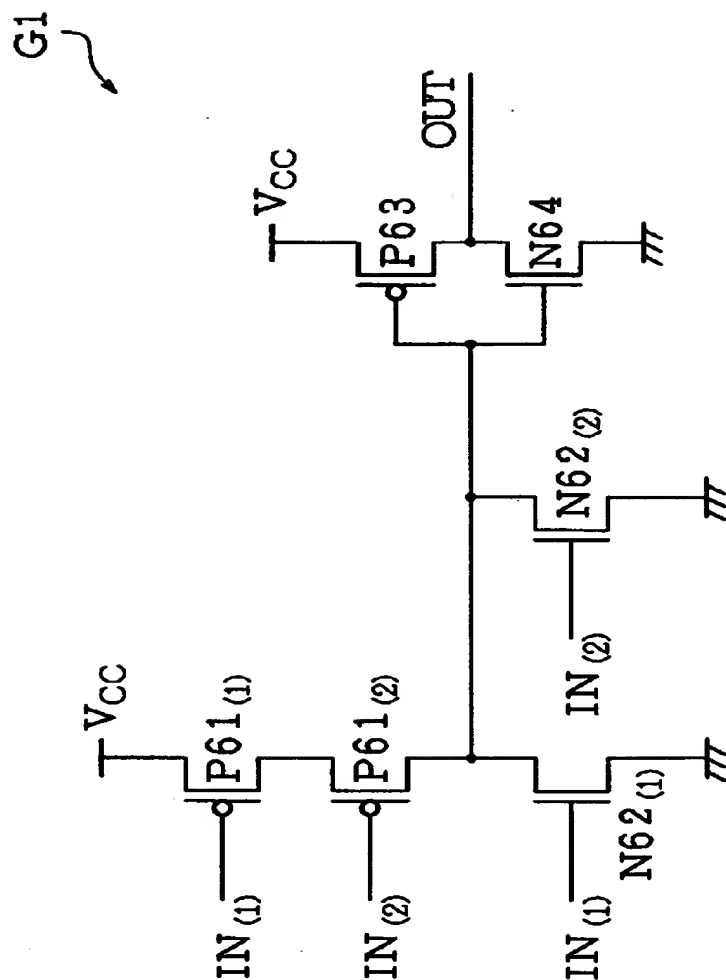
【図 10】



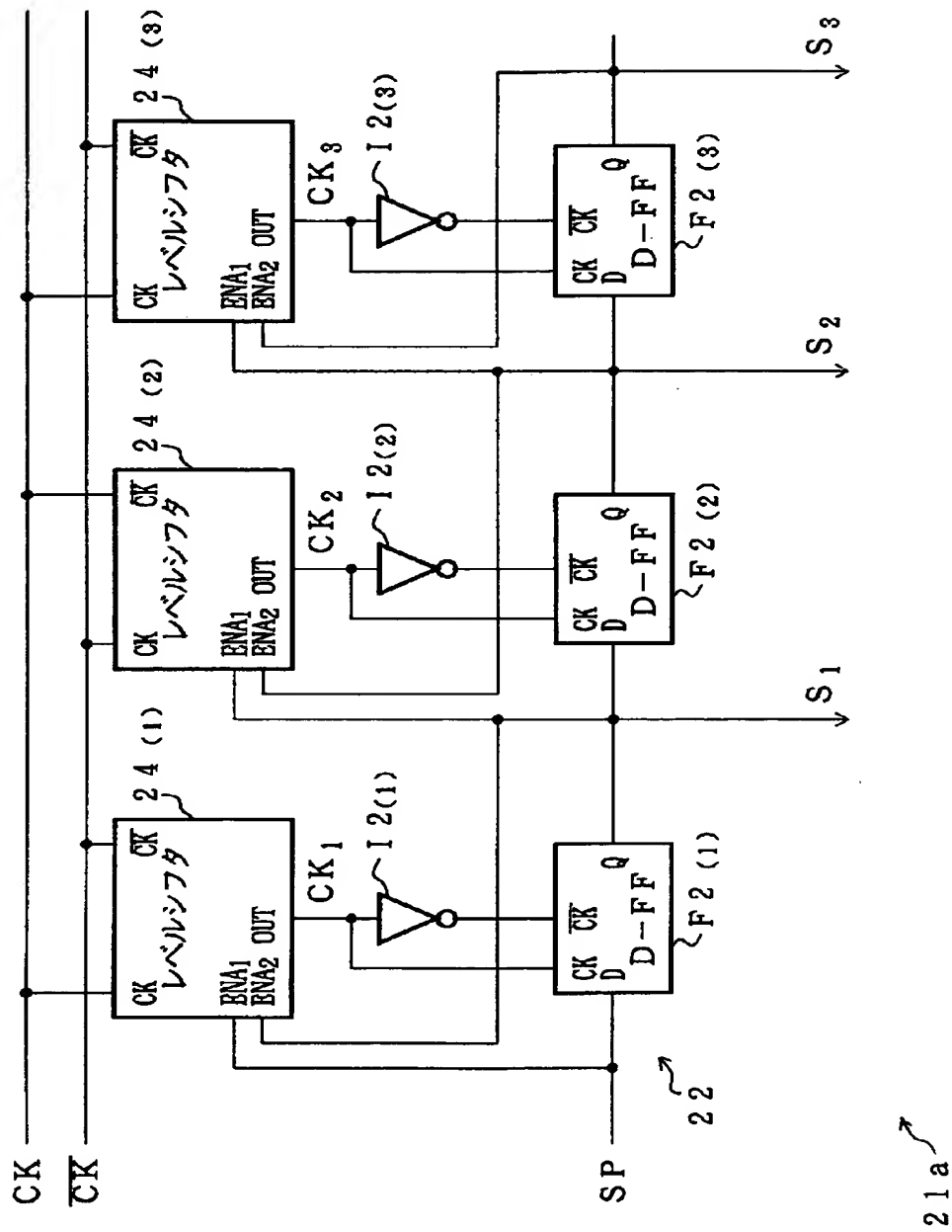
【図 11】



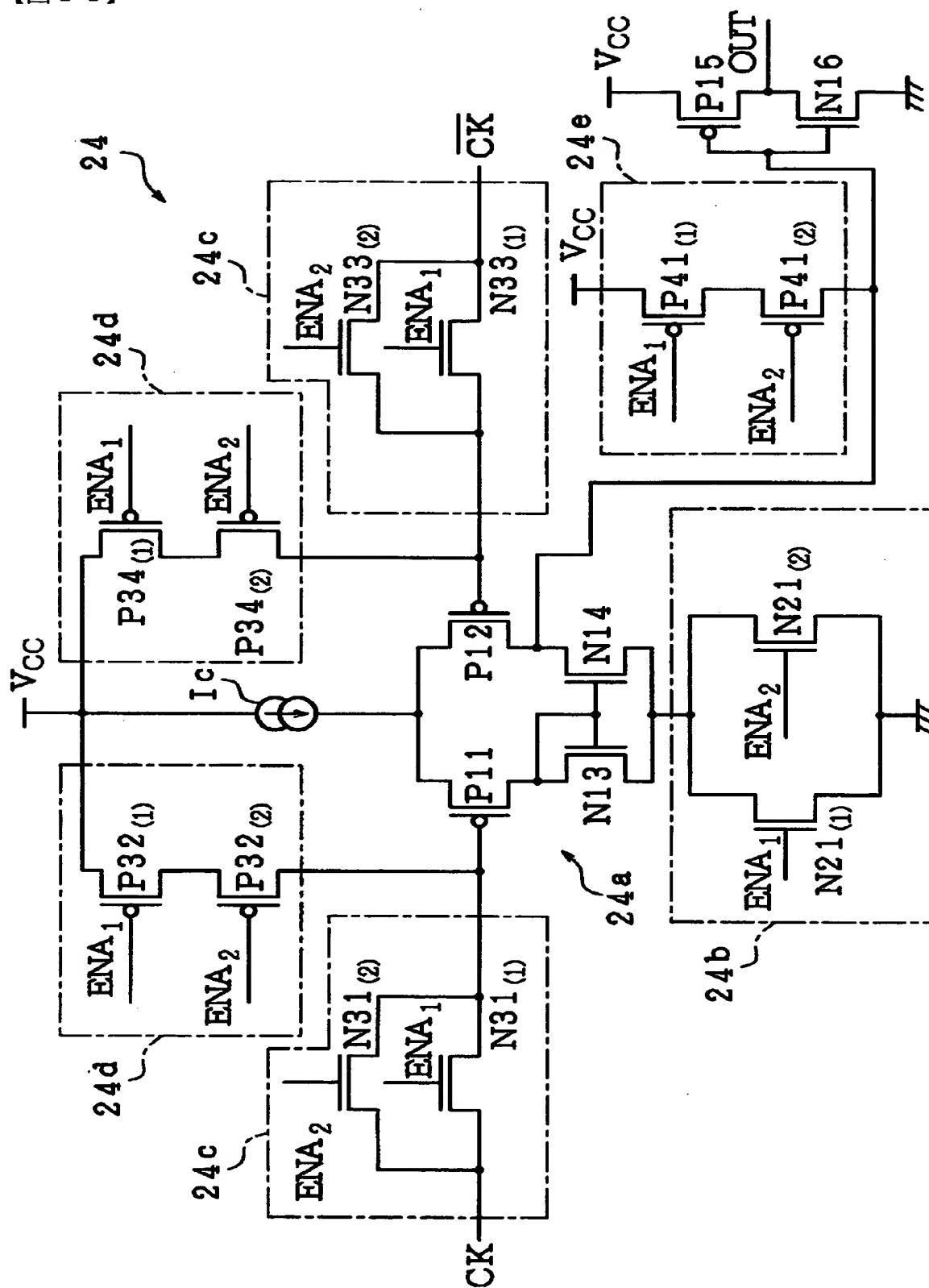
【図 1 2】



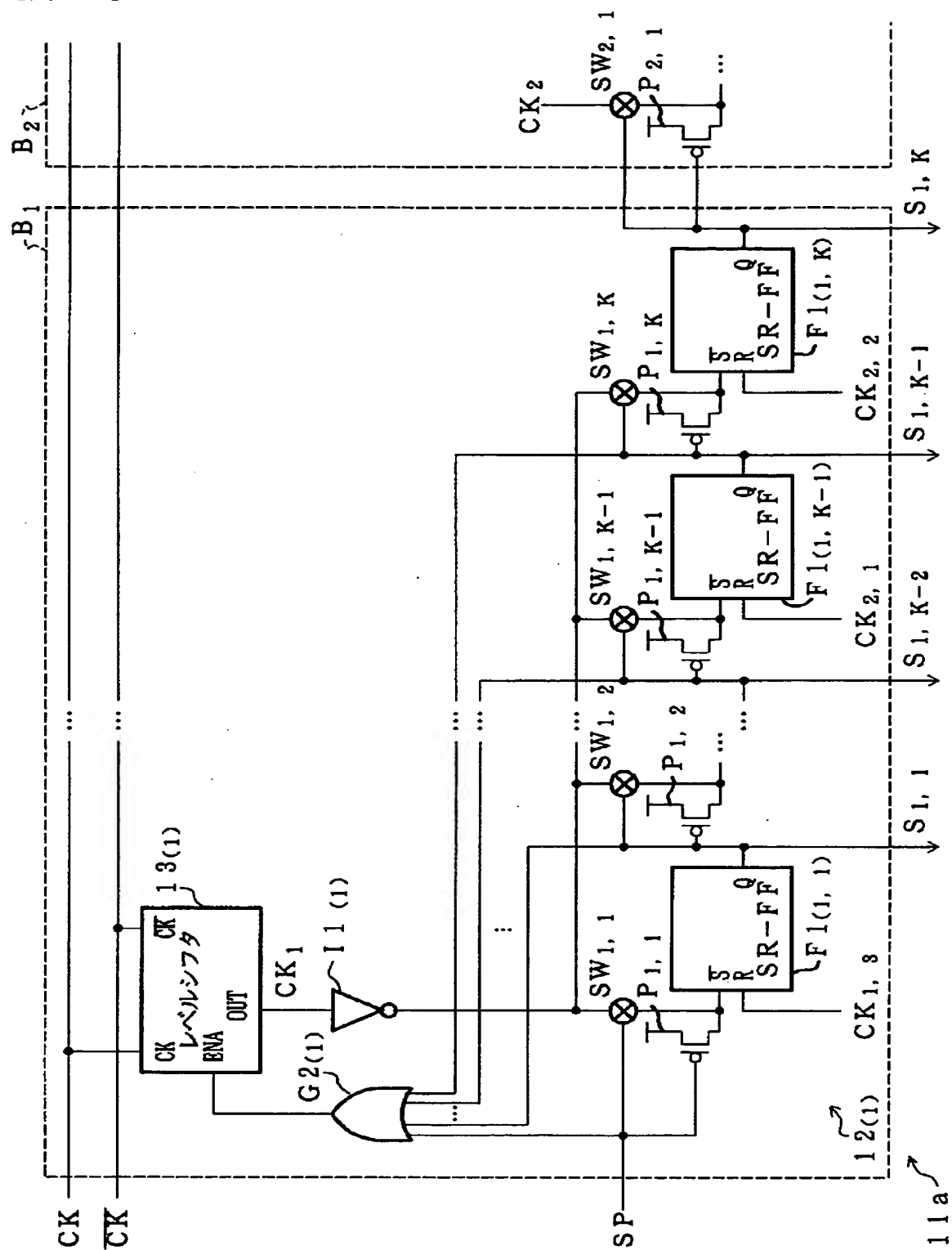
【図 1 3】



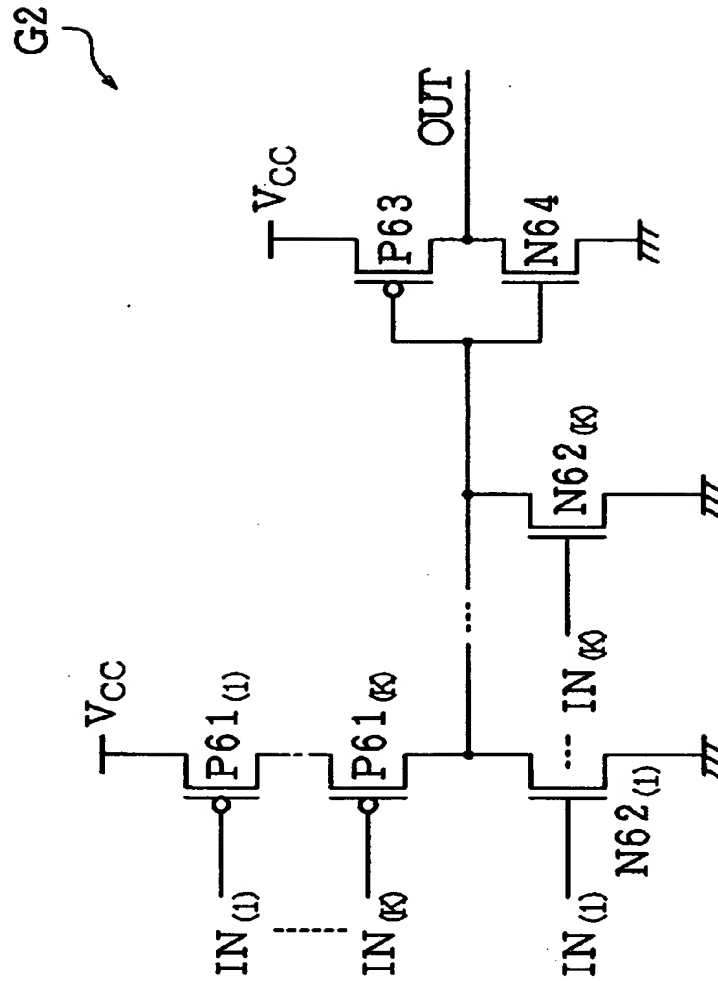
【図 14】



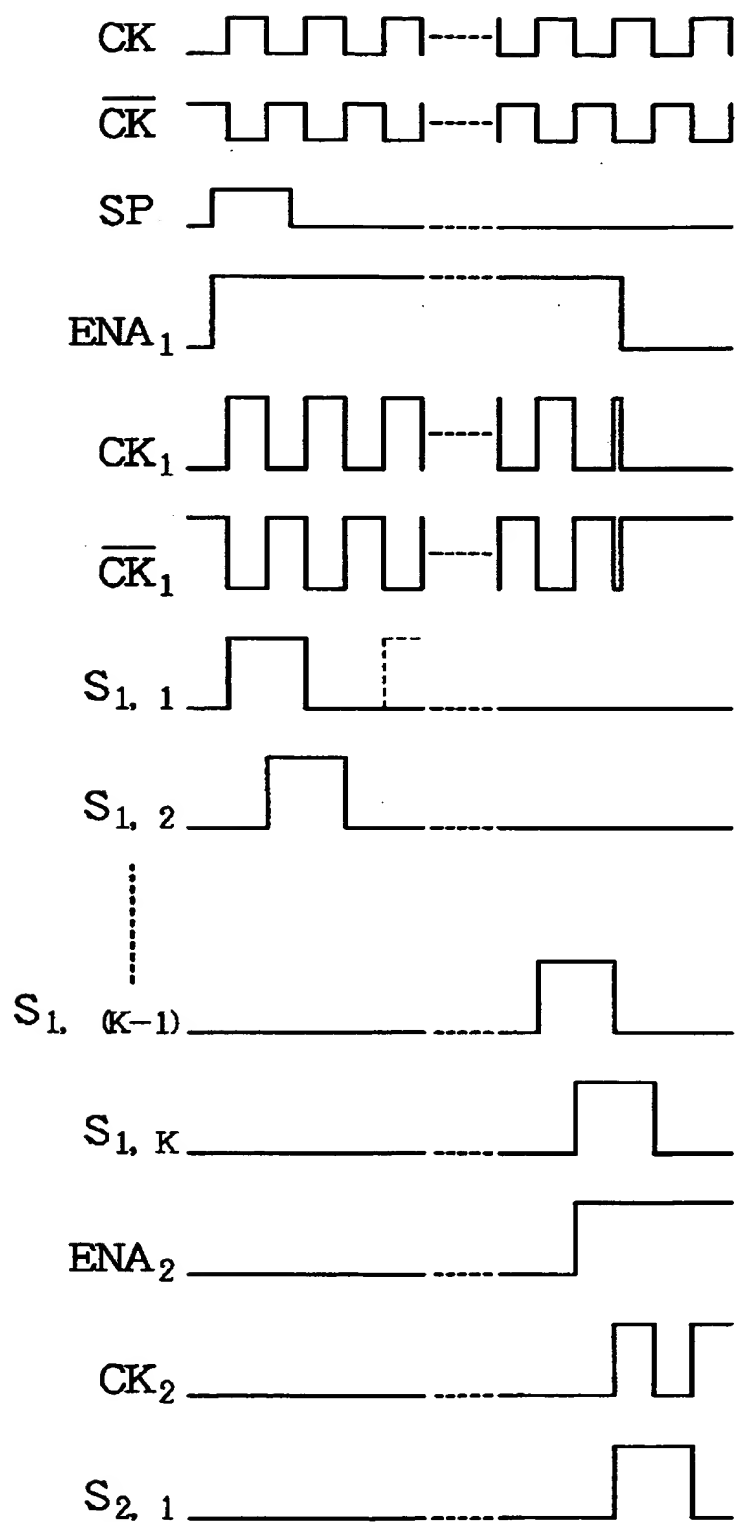
【図 15】



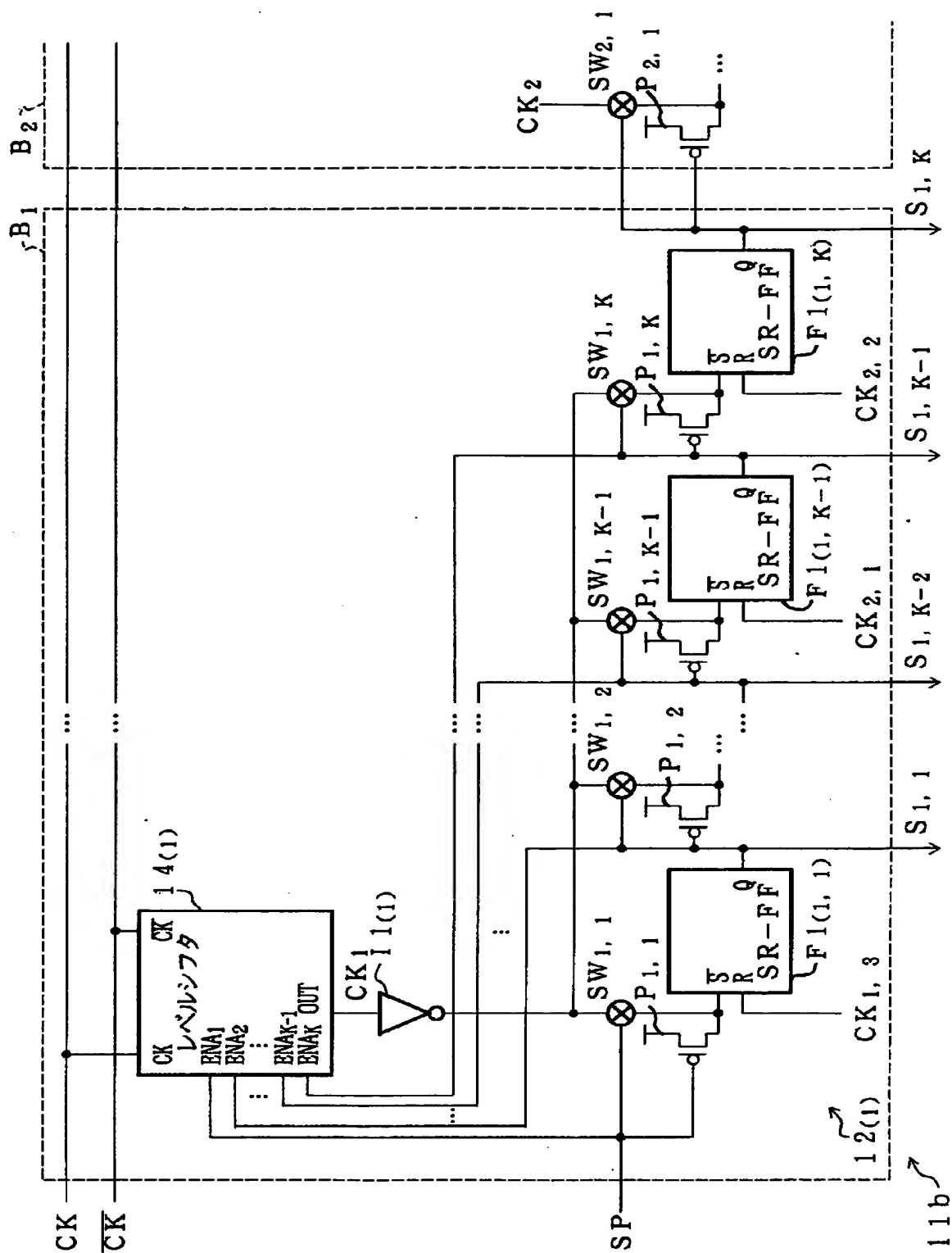
【図 16】



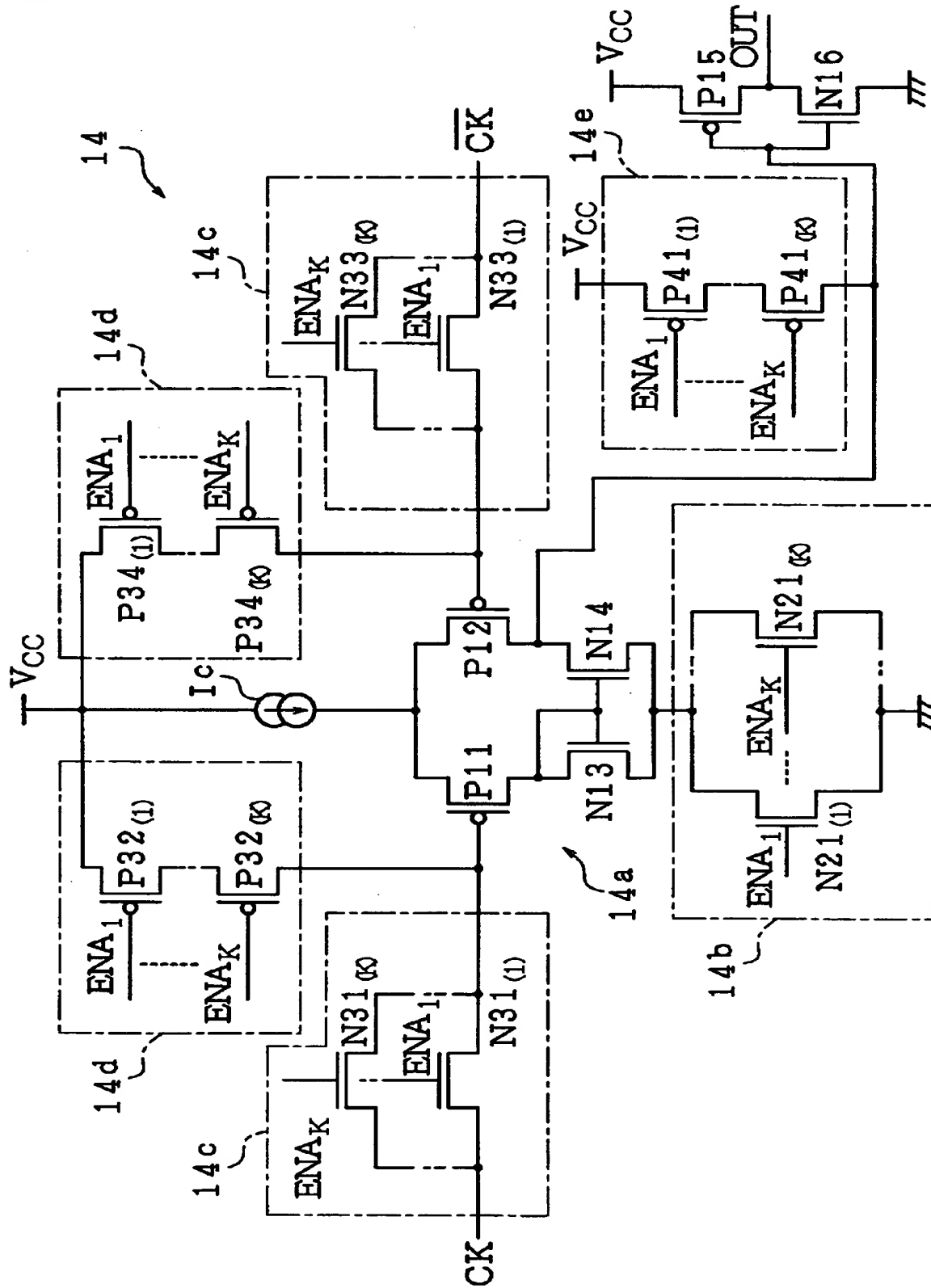
【図 17】



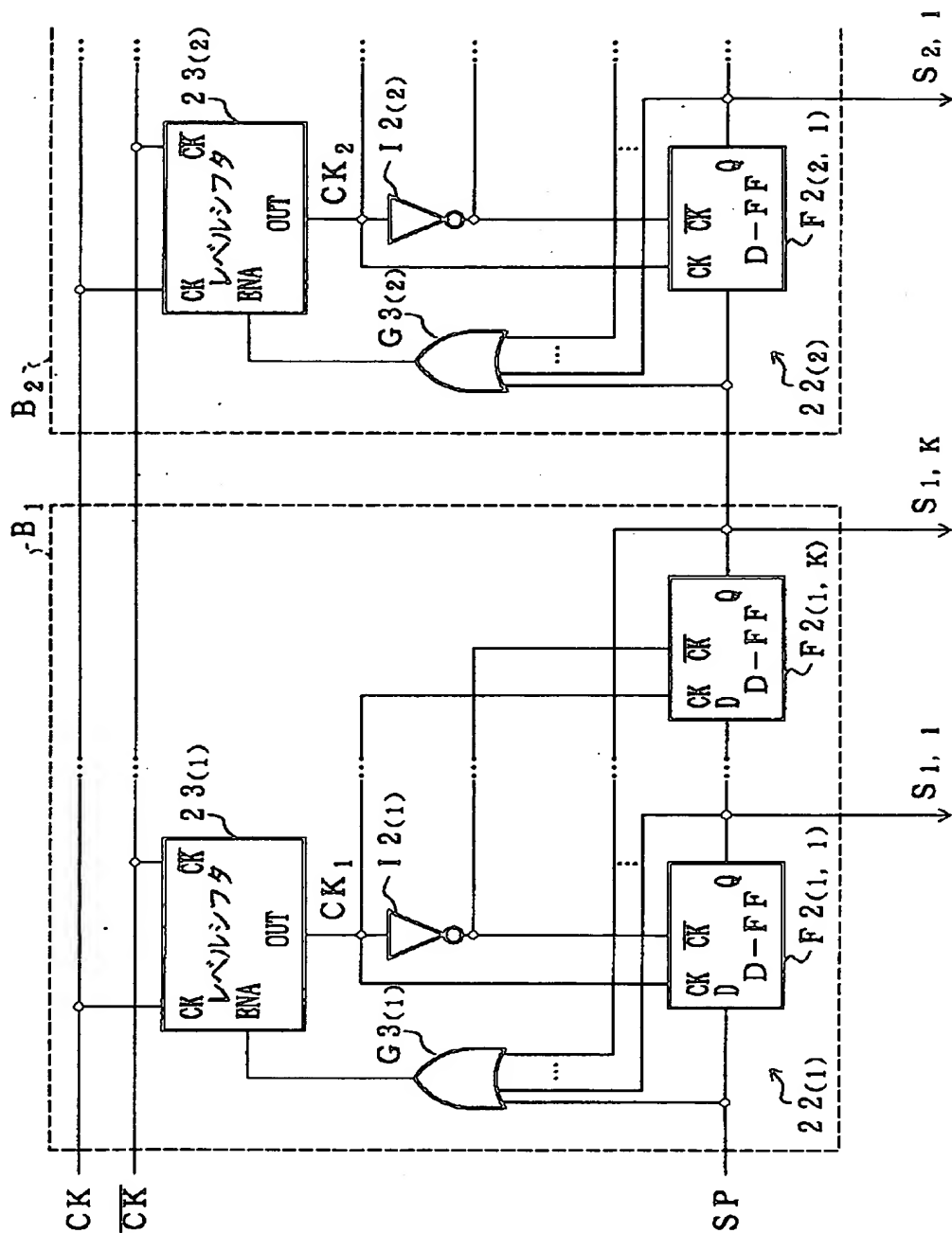
【图 18】



【図 19】

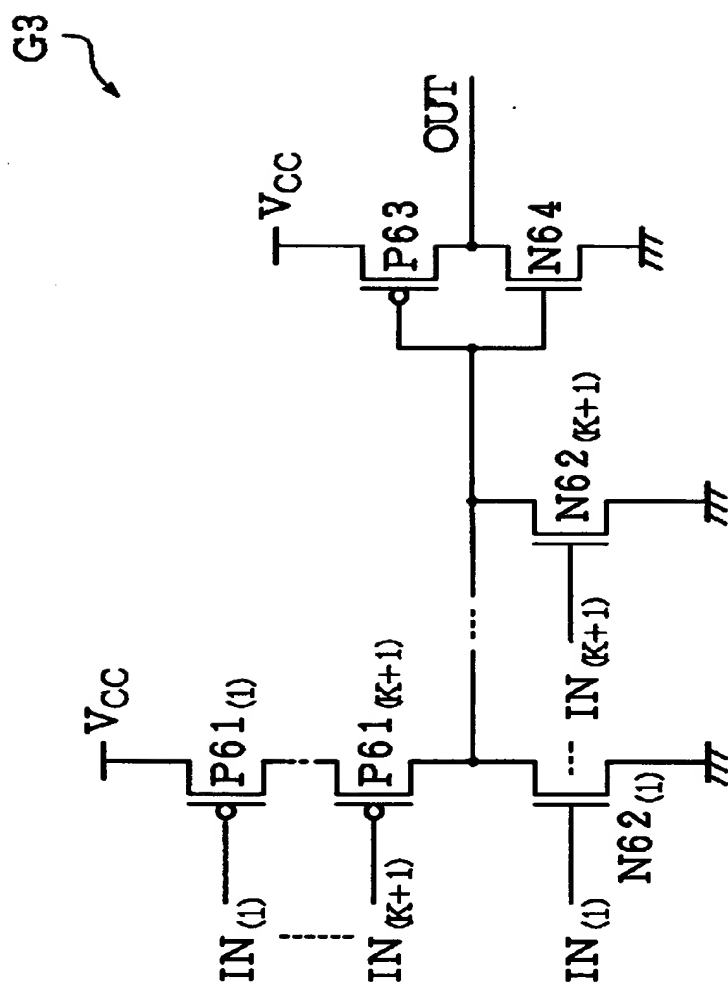


【図 20】

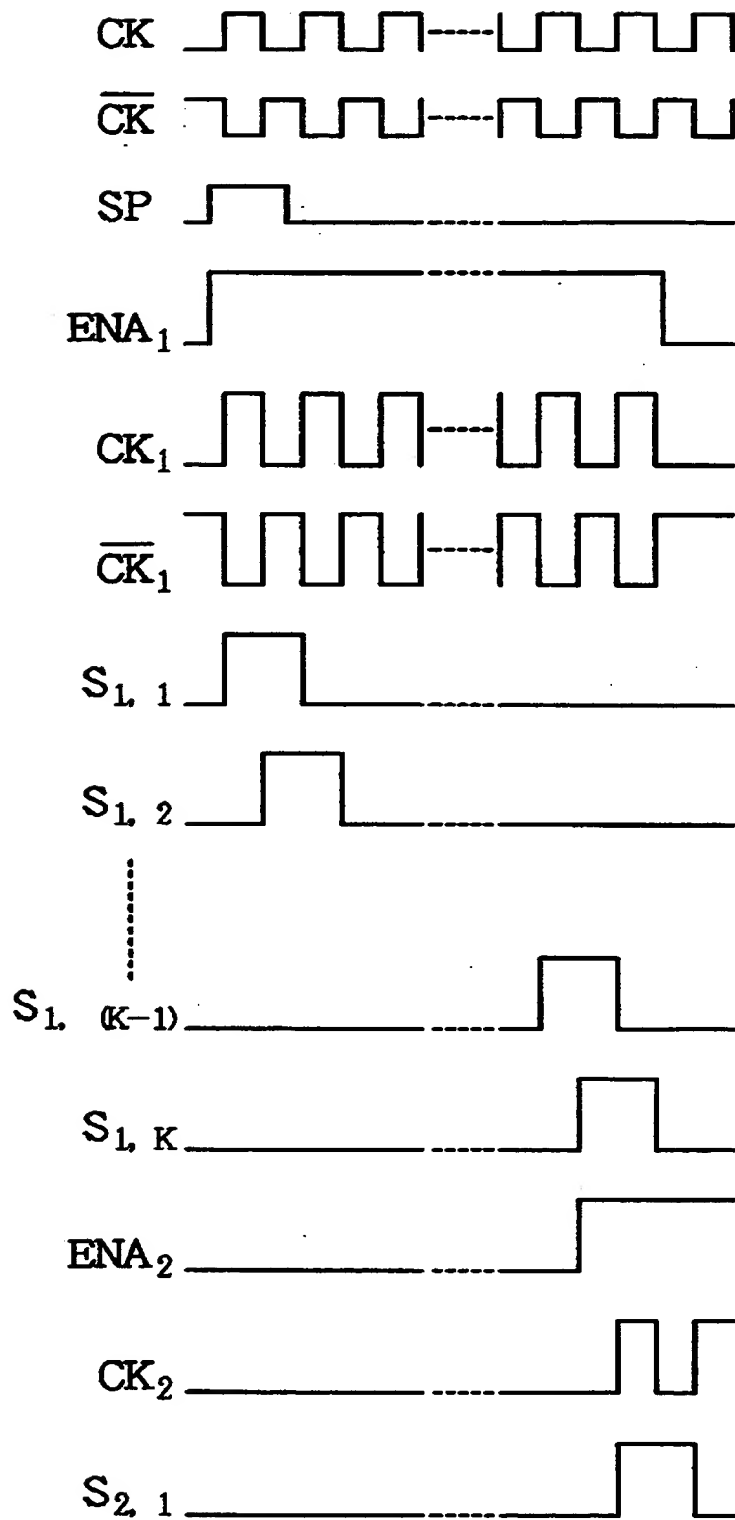


21b

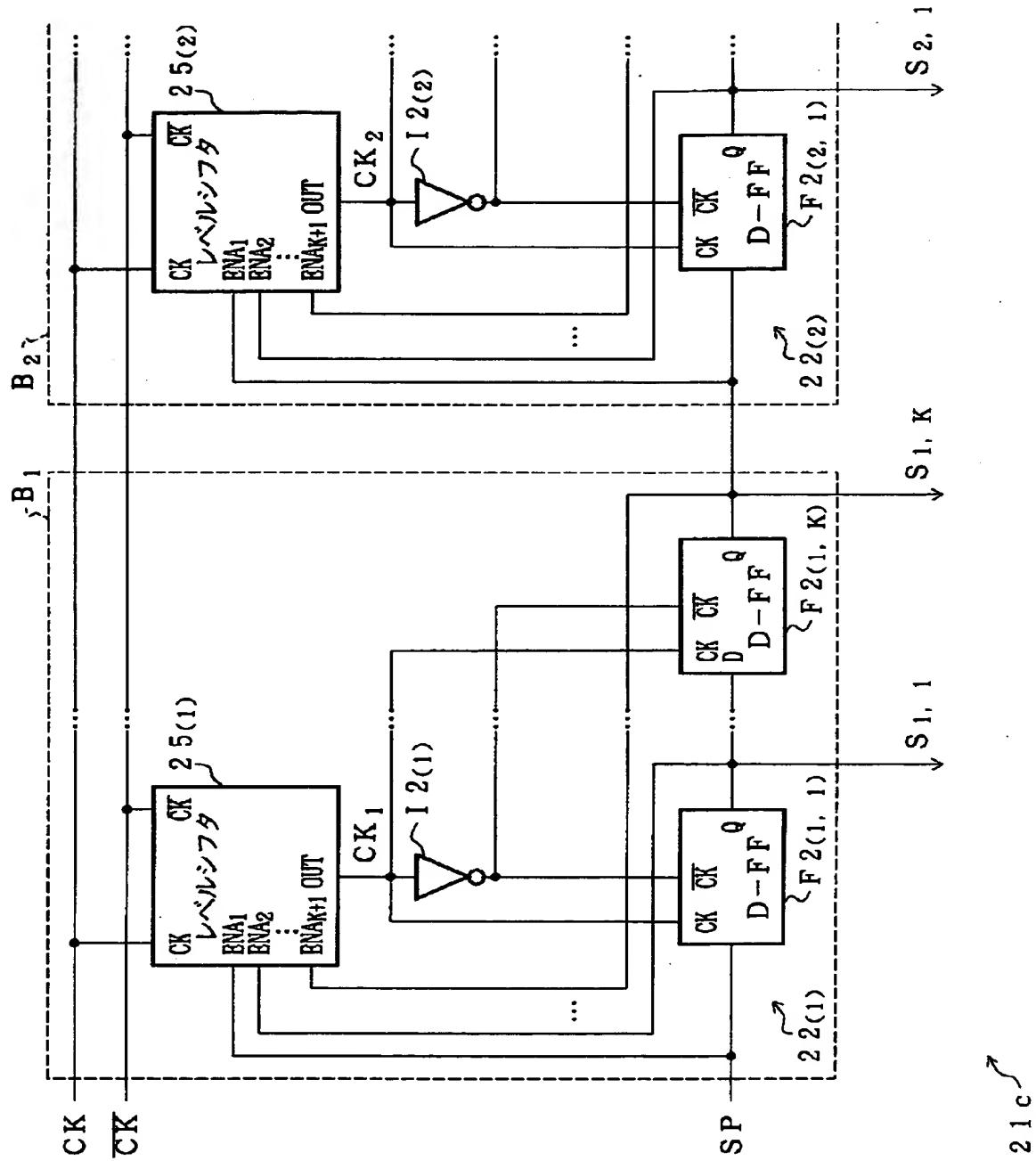
【図 2 1】



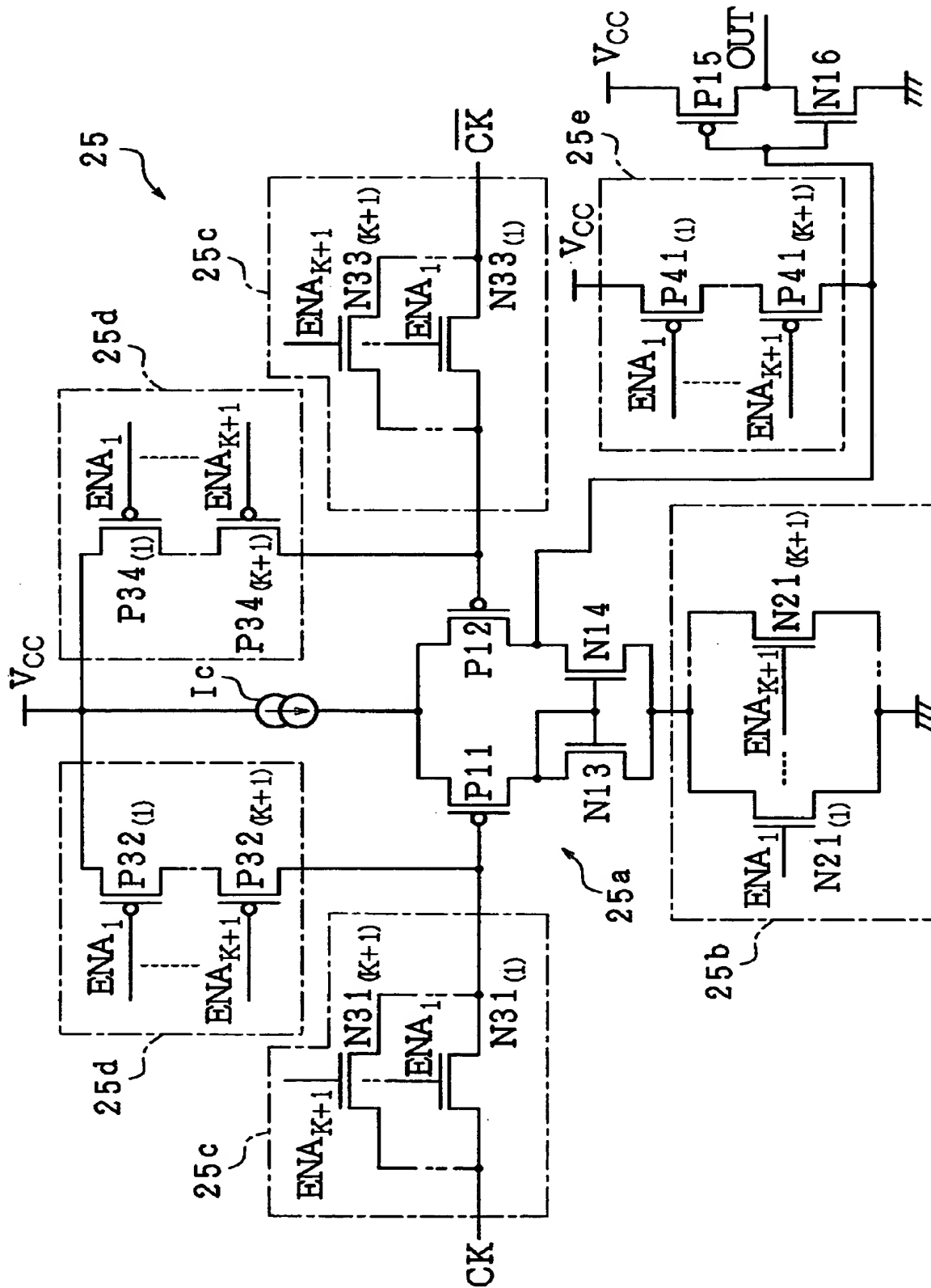
【図 2 2】



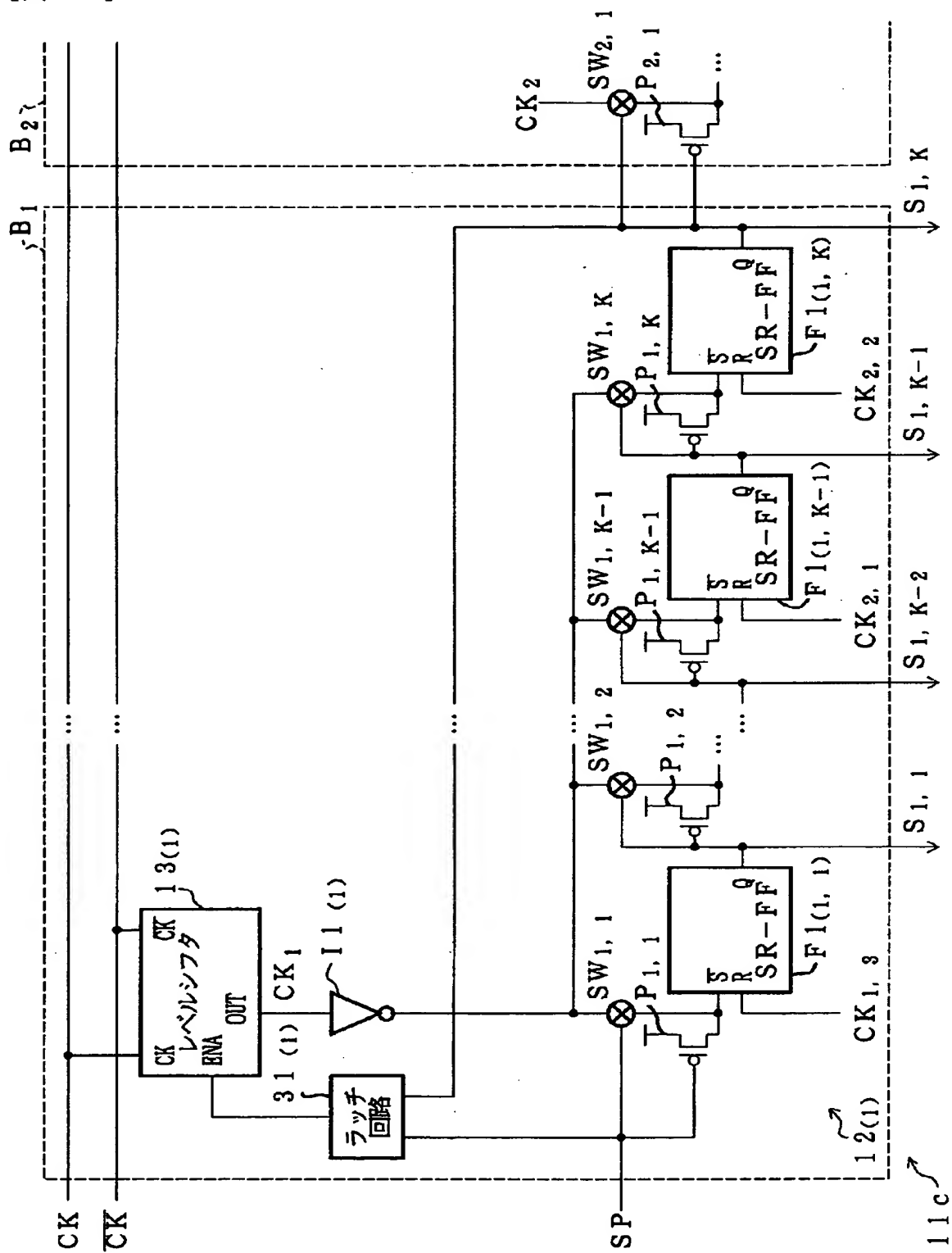
【図 2 3】



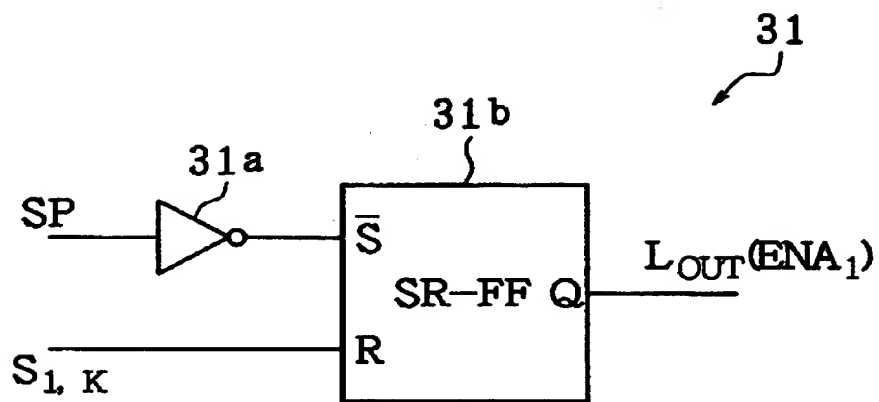
【図 2 4】



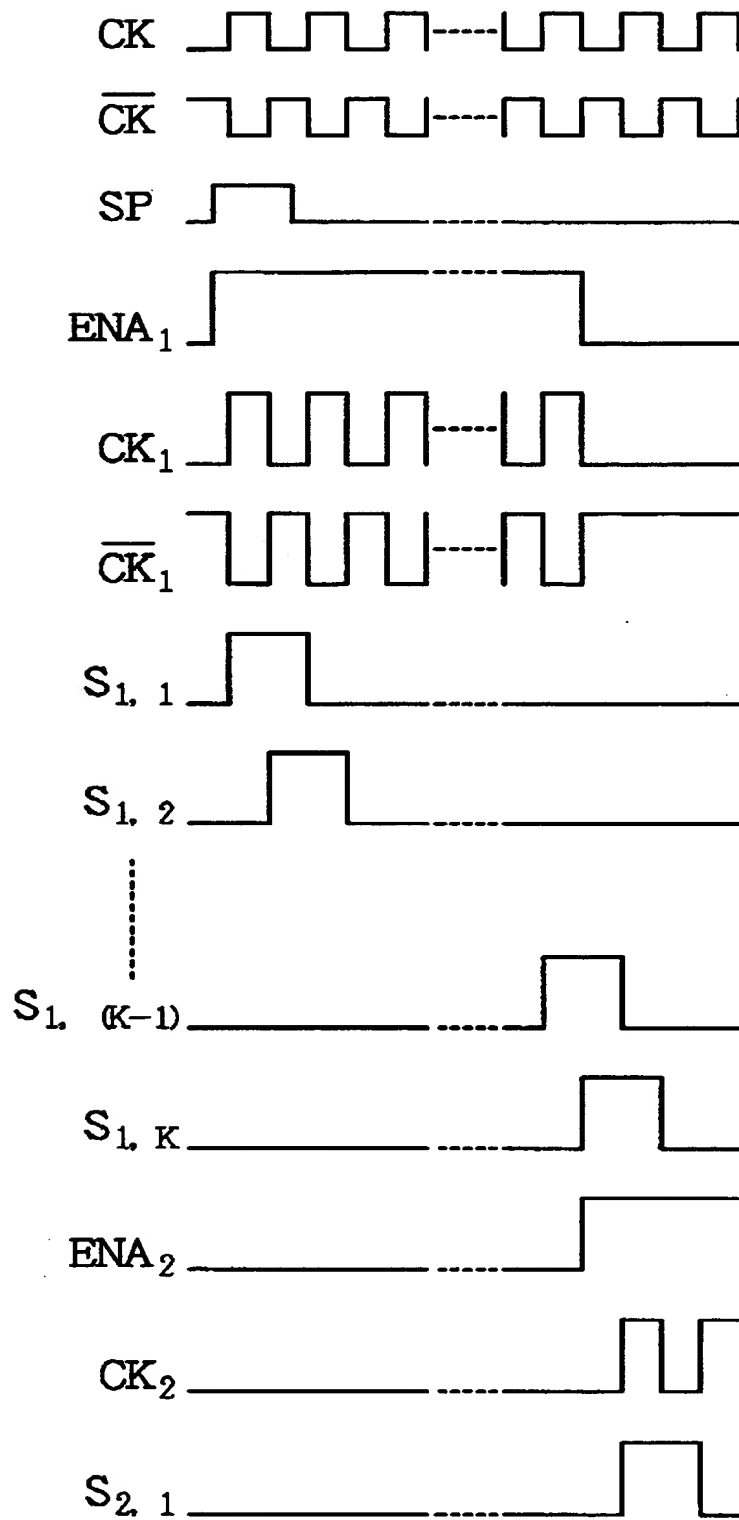
【図 25】



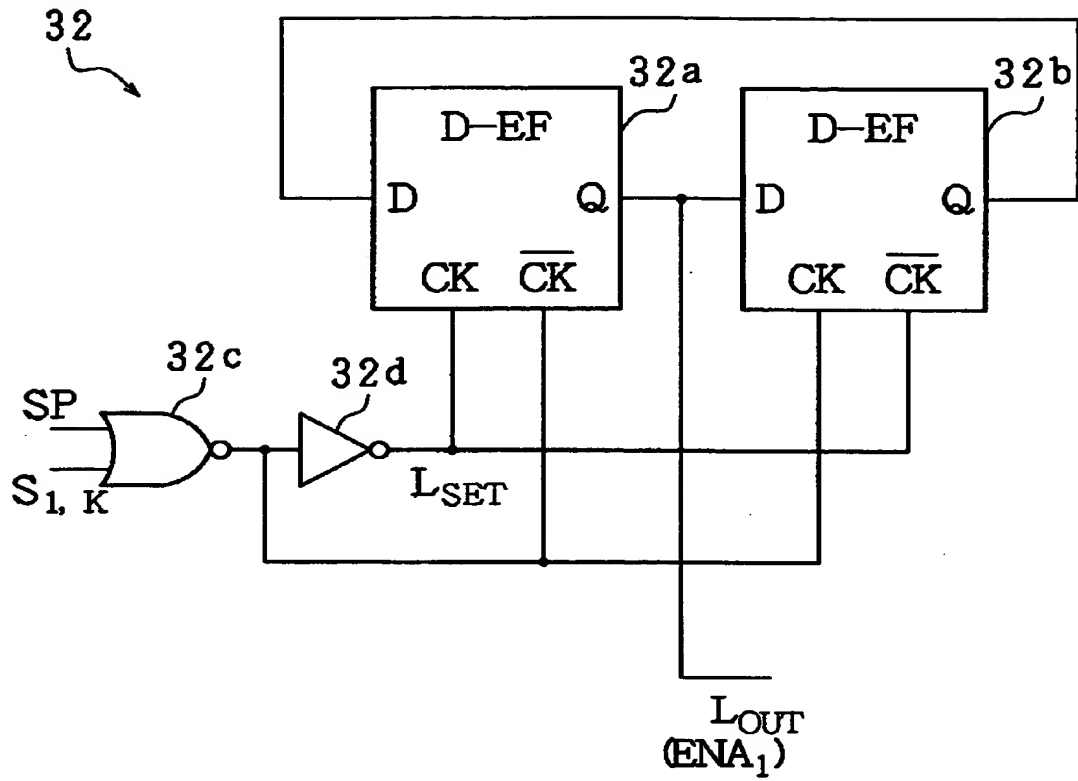
【図 26】



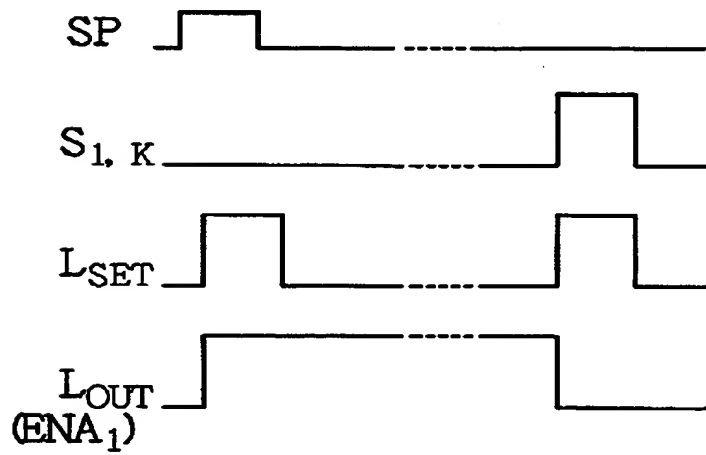
【図 2 7】



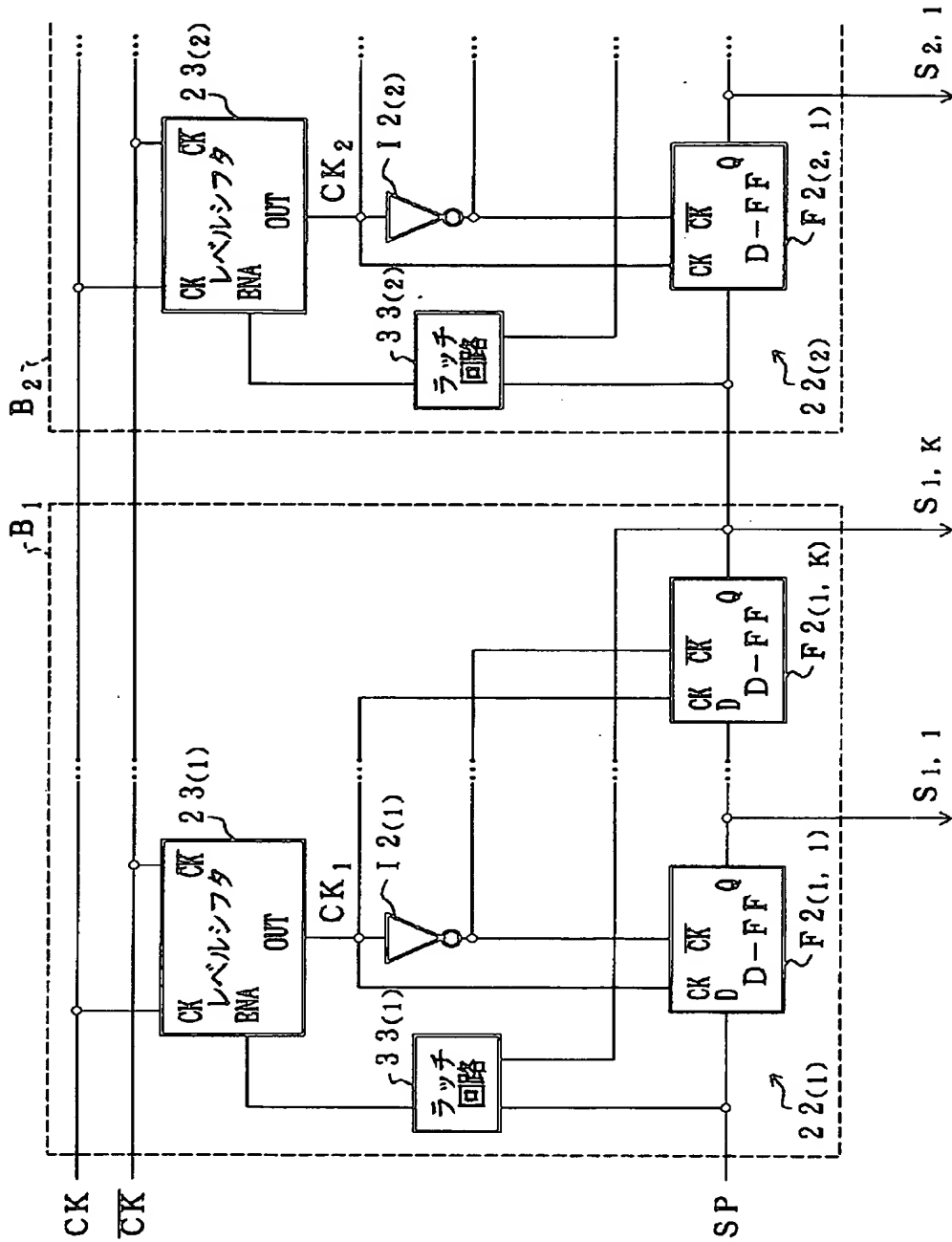
【図 28】



【図 29】

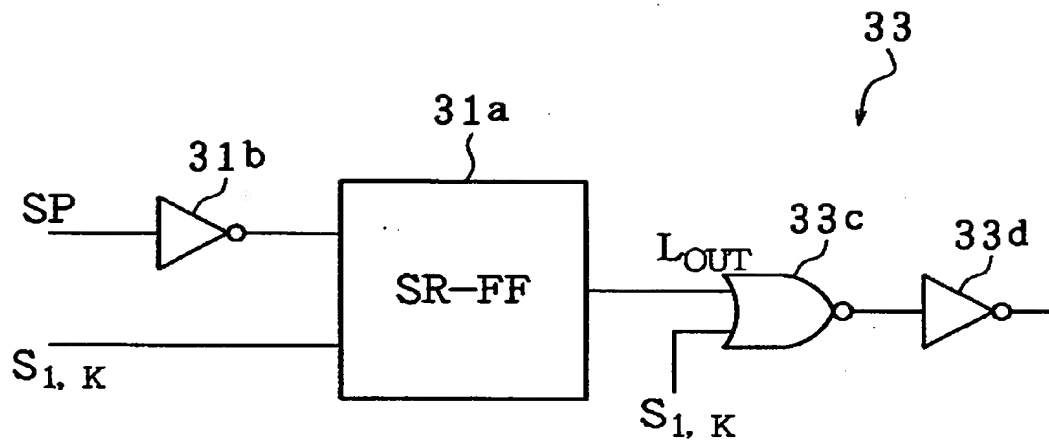


【図 3 0】

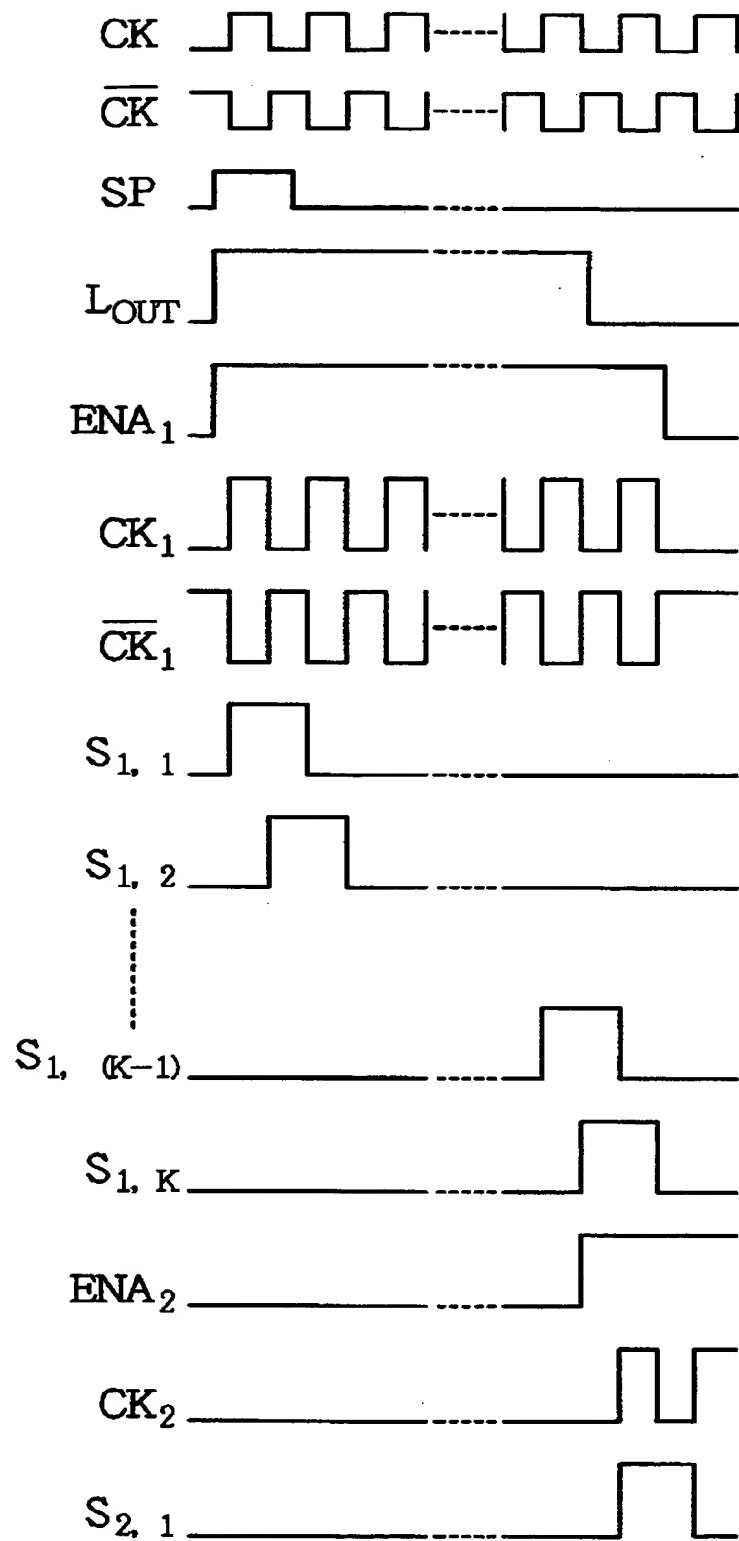


21d

【図 31】

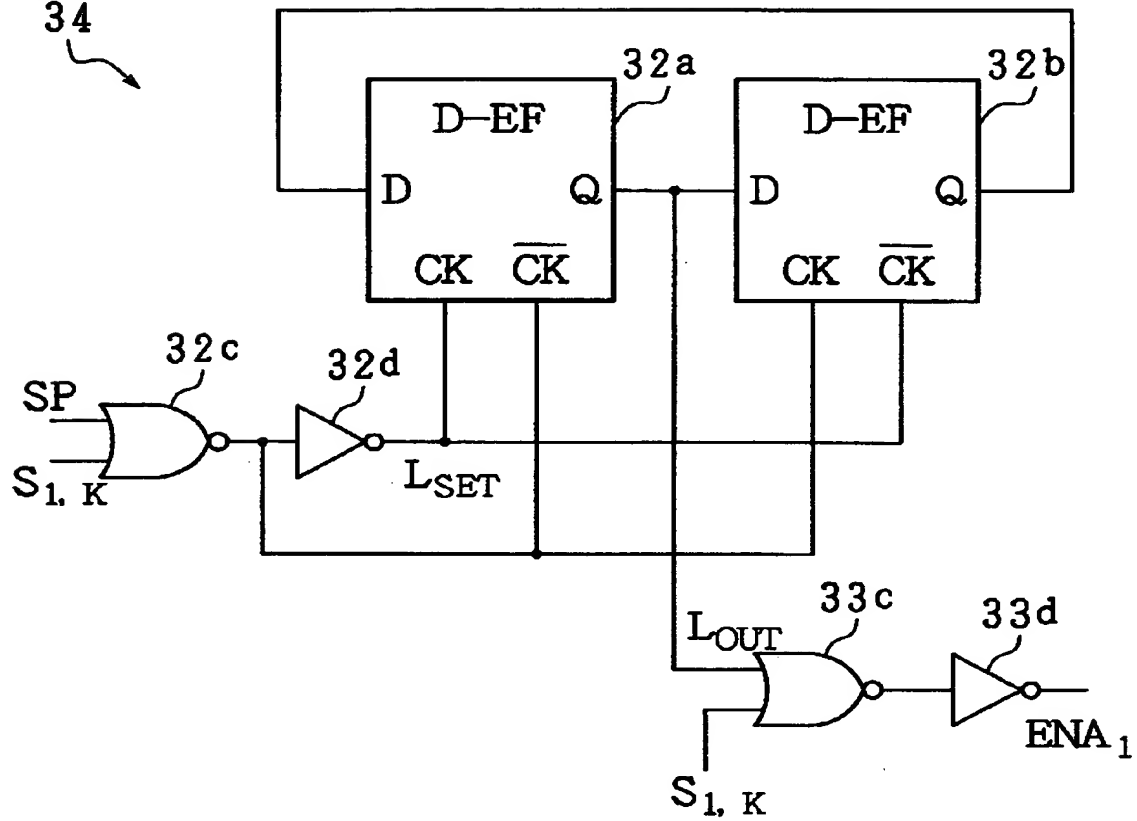


【図 3 2】

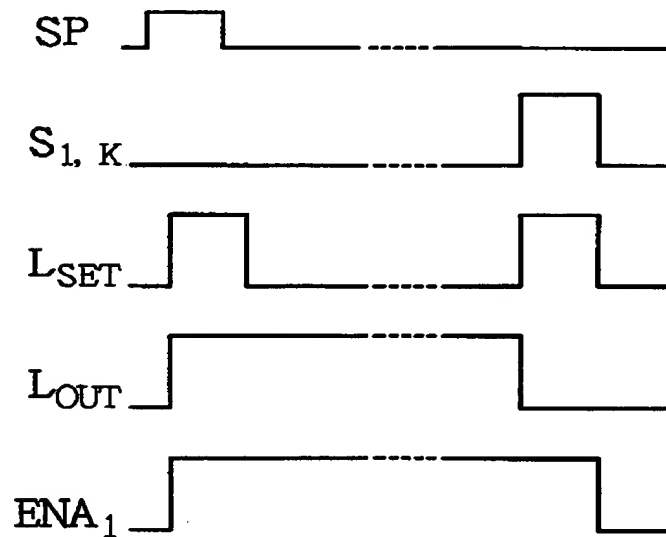


【図 3 3】

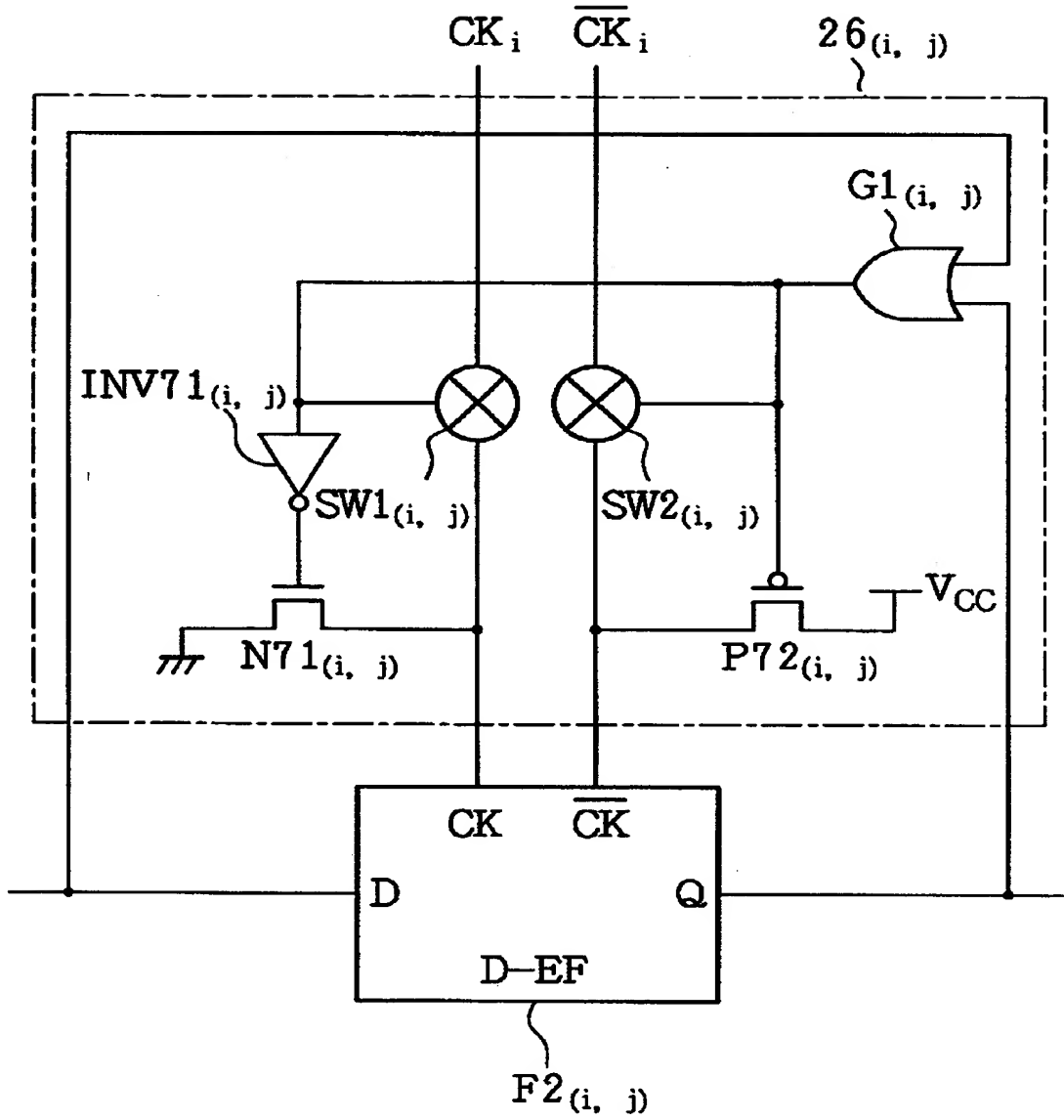
34



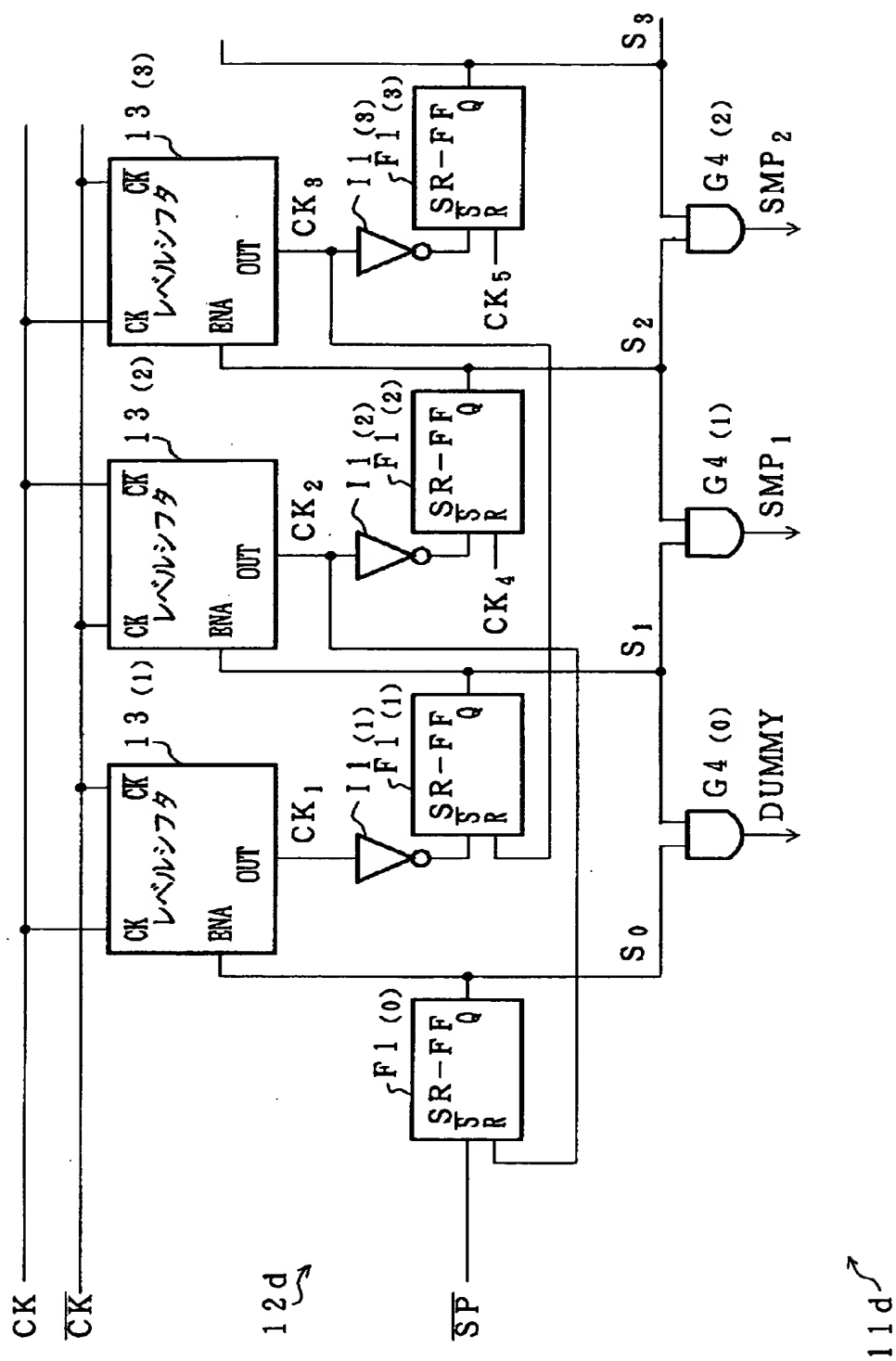
【図 3 4】



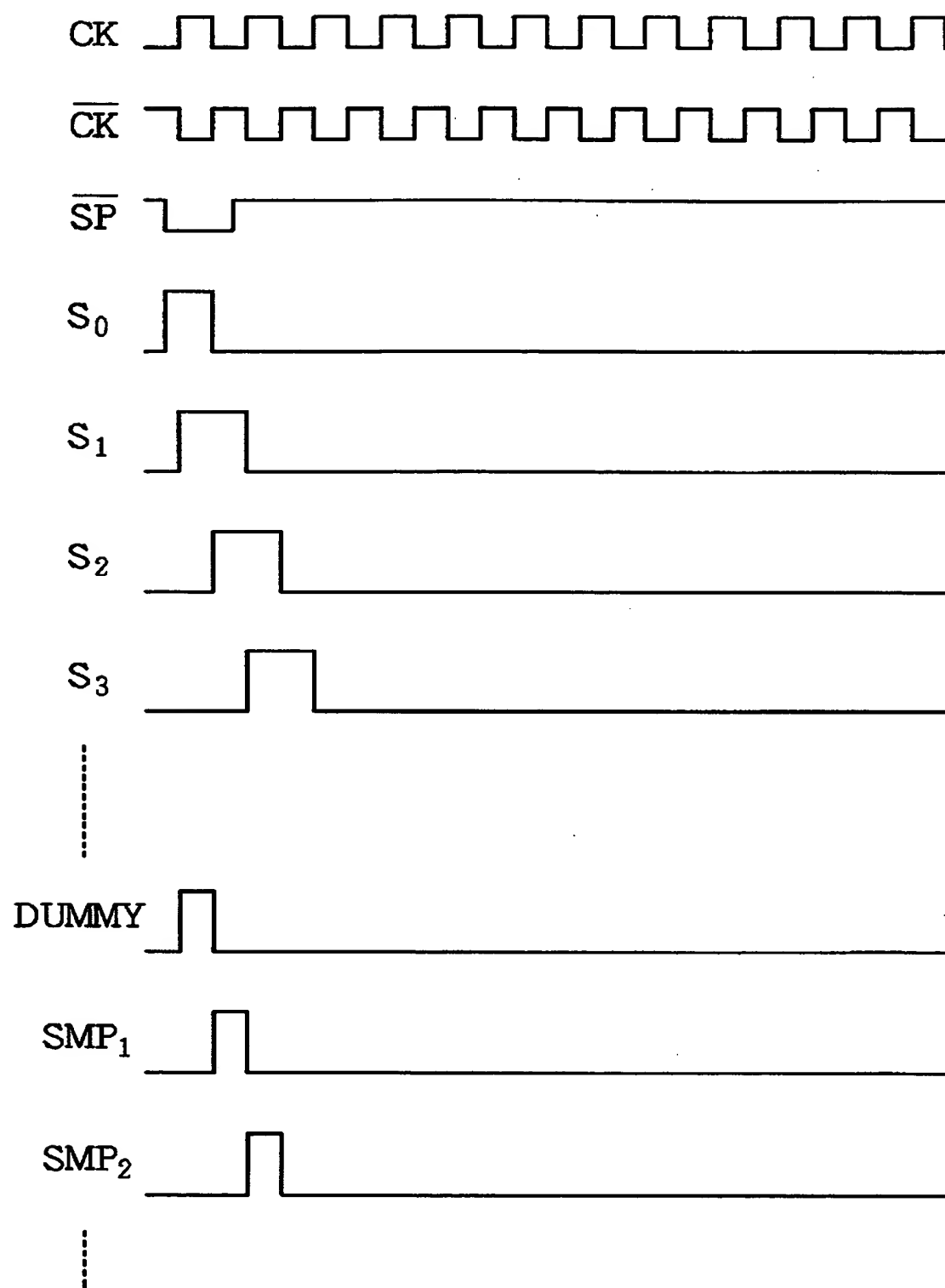
【図 3 5】



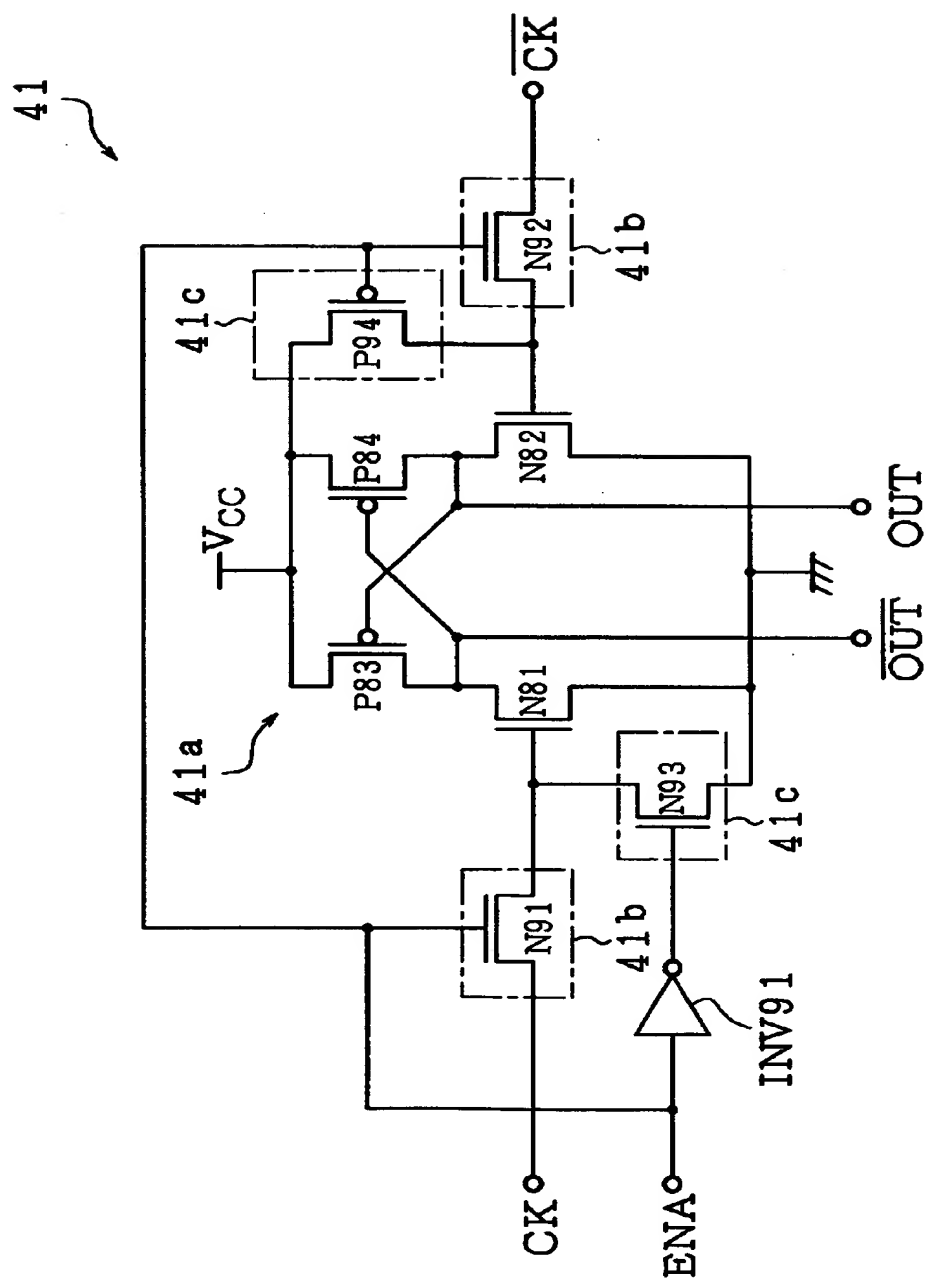
【図 3 6】



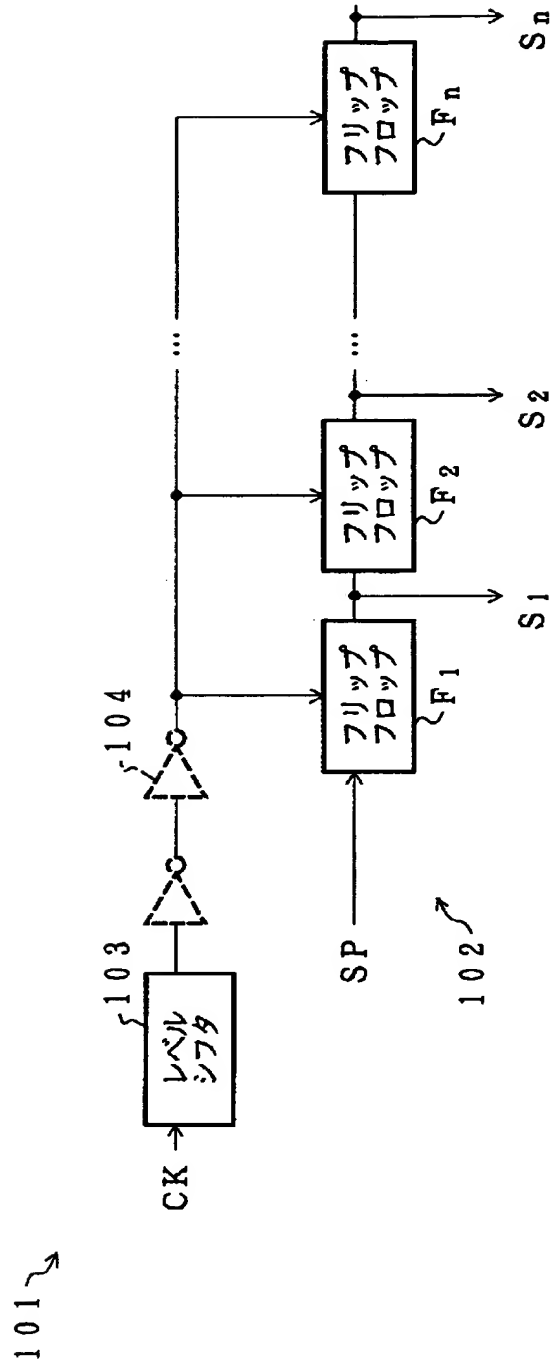
【図 3 7】



【図 3 8】



【図 3 9】



【書類名】 要約書

【要約】

【課題】 クロック信号の振幅が小さい場合でも正常に動作すると共に、消費電力の少ないシフトレジスタを実現する。

【解決手段】 シフトレジスタ 11 を構成する各 SR フリップフロップ F1 毎に、クロック信号 CK を昇圧するレベルシフタ 13 が設けられている。これにより、クロック信号を唯一のレベルシフタで昇圧した後、各フリップフロップへ伝送する場合に比べて、昇圧後のクロック信号の伝送距離を削減でき、レベルシフタ 13 の負荷容量を削減できる。さらに、各レベルシフタ 13 は、前段のレベルシフタ 13 がパルスを出力している間、動作し、パルス出力が終了すると動作を停止するので、対応する SR フリップフロップ F1 へクロック信号 CK を供給する必要がある場合にのみ動作できる。これらの結果、クロック信号の振幅が小さい場合でも正常に動作するシフトレジスタの消費電力を削減できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社